

RS485 – УПРАВЛЕНИЕ НА ПРИЕМО-ПРЕДАВАТЕЛЯ ПРИ РАЗЛИЧНИ СКОРОСТИ НА ОБМЕН

Митьо Георгиев Митев

Технически университет – София, кат. ЕТ, E-mail: mitev@ecad.vmei.acad.bg

Mitev, M. RS485 – TRANCEIVER CONTROL FOR DIFFERENT TRANSFER SPEEDS. The implementation of the RS485 interface in embedded systems causes difficulties because its transfer direction has to be controlled. If this problem is solved by software means that disrupts its structural integrity and the effectiveness of the controlling programs that usually work in multitasking real-time environment.

There exist a lot of different solutions in which the starting bit of the serial data in NRZ format is used to trigger the timer scheme, forming a time interval with one byte's length. The timer scheme output signal is used to control the direction of the transceiver. Disadvantage of this solution is that it's hardware bound to the fixed transfer speed.

The possibility for "analog" adjustment of the timer, generating the controlling time interval of the transceiver, is explained in this report. The use of PWM timer system, that is usually built-in in most of the latest microcontrollers, is offered for the generation of the tuning signal. That PWM timer system usually remains unused in the embedded systems. It is shown that using the 555 integral timer, controlled by PWM timer through double-section integrating circuit, it is possible to achieve an adjustment in the dynamic diapason between 2400 and 9600 bps. The range 1200 – 19200 bps could be expanded by the replacement of the second RC chain with an integrator with an operational amplifier.

The offered solution allows the introduction of an effective mechanism, controlling the transfer direction when using RS485 interface, that remains "transparent" to the software. That mechanism also provides possibility for altering the transfer speed in wide range, assuming even nonstandard values. The offered solution structure allows the easy galvanic isolation of the embedded system from the communication interface.

1. ВЪВЕДЕНИЕ

Комуникационният интерфейс RS485 е привлекателен с простотата си и с възможността, за свързване на множество устройства в паралел. Надежността при предаване на данни и ниската цена го правят предпочитан при изграждане на разпределени микропроцесорни системи и малки промишлени мрежи.

Въпросите за топологията на мрежите, терминирането и началната поляризация на комуникационната линия са добре разгледани както в стандарта, така и в многобройните публикации по темата. Обект на разглеждане са били и мерките, които трябва да се вземат за защита от смущения и претоварване.

RS-485 е схемотехнична спецификация и не засяга въпроси, свързани с протокола за обмен на данни. Системният програмист има пълната свобода да избере подходящ протокол за разработваната система. Между тези две части (апаратна и алгоритмична) остава открит въпросът за управление състоянието на изходните буфери за предаване на данни. Тъй като комуникационната линия се използва от всички абонати в мрежата, то от ефективността на управление посоката на обмен ще зависи стабилната и безотказна работа на цялата разпределена система.

Възможни са два подхода при реализиране управлението на изходните буфери. Първият от тях предполага използването на отделен сигнал RTS (*Request To Send*) за управление на предавателя, който се изработва по програмен път. При втория подход, известен като ASDC (*Automatic Send Data Control*), сигнала за управление на предавателя се изработва от отделна времезадаваща схема, запускана от стартовия бит на предаваните данни.

Въпроса с управлението на входния буфер не стои с такава острота. В редки случаи той се управлява в синхрон с изходния буфер. Обикновено системата винаги е в режим на приемане – така се извършва контрол на собствените данни и се откриват моментите на възникване на грешки.

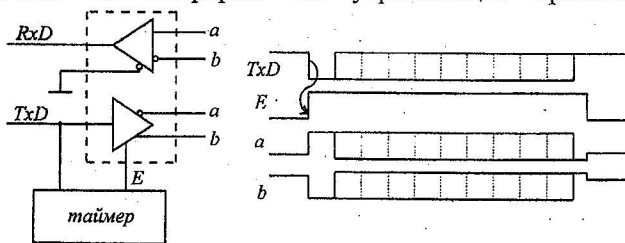
2. ПРОГРАМНО ИЛИ АПАРАТНО УПРАВЛЕНИЕ НА ПРЕДАВАТЕЛЯ

При практическите реализации намират приложение и двата подхода. Всеки от тях има своите предимства и естествено – недостатъци.

Първият метод е привлекателен с простотата си – за реализирането му е необходимо да се отдели един изходящ сигнал от микроконтролера (или някоя периферна схема) и да се повери управлението му на управляващата програма. Установяването на активно ниво (извеждащо предавателя от високо импедансно състояние) непосредствено предхожда момента на зареждане на данните за предаване. В края на предаването предавателят трябва отново да бъде приведен в неактивно състояние – т.е. програмата трябва да установи управляващия сигнал. Моментът на приключване на предаването обикновено настъпва няколко милисекунди (в зависимост от скоростта на обмен) след зареждане на последния байт от поредицата. Наличието на FIFO буфери в серийните комуникационни интерфейси на съвременните микроконтролери затруднява точното фиксиране на момента на приключване на предаването. Всичко това води до нарушаване структурата и ефективността на управляващите програми, които като правило работят в многозадачен режим и в реално време. Забавянето на момента на освобождаване на линията води до намаляване ефективната скорост на обмен. Създават се предпоставки за възникване т.н. състояния на съревнование, при което повече от един модул управлява комуникационната линия. Възникват грешки, за отстраняването на които се губи допълнително време. Поради тези обстоятелства се препоръчва този метод за управление на предавателя да се отбягва.

Вторият подход предполага добавянето на допълнителна апаратна част (фиг.1). Стартовия бит на серийните данни в NRZ формат запуска таймер. Изходният му сигнал се използва за управление на предавателя. Срещат се две разновидности в изпълнението на схемата – използване на решение с презапускане на таймера и без презапускане. В първия случай формирания времеинтервал е малко по-голям от времето за предаване на един бит, като се разчита, че формирането на неактивното състояние се извършва от началната поляризация на линията. Това решение се характеризира с по-малки изисквания

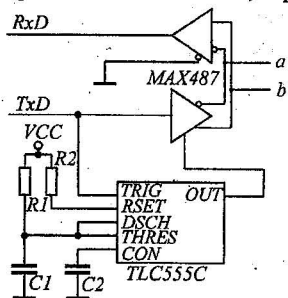
към точността на генериране на управляващия времеинтервал, но



Фиг. 1

същевременно се отличава с по-ниска шумоустойчивост.

Втората разновидност предполага използване на таймерна схема, работеща без презапускане. Изработения времеинтервал трябва да бъде с продължителност, по-голяма от времето за предаване на значещите разряди (стартов бит, информационни битове и бит за контрол), но да е приключил преди началото за предаване на следващия байт. Удачно е продължителността му да се подбере така, че да приключва към средата на първия стопов бит. Вижда се, че се поставят по-строги изисквания към точността на настройка на таймера, но затова по време на предаване на всички значещи битове предавателя е активен, гарантирайки по-висока шумоустойчивост на системата.



Фиг. 2

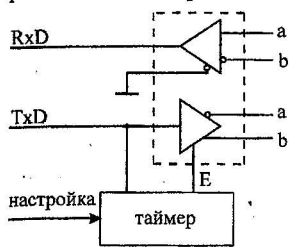
Едно от най-често прилаганите схемни решения, реализиращо ASDC, е показано на фиг. 2. То включва широко разпространените интегрални таймери тип 555 и се отличава с добрите си характеристики при минимален брой на допълнителните елементи. Закъснението, внасяно от таймера във веригата за разрешаване на предавателя спрямо стартовия бит, е пренебрежимо малко спрямо неговата продължителност и не се отразява на правилното функциониране на схемата.

Основни предимства на този подход се изразяват в освобождаването на линията непосредствено след приключване на предаването на последния байт без необходимост от програмна намеса. Недостатък на решението е апаратното обвързване към фиксирана скорост на обмен.

3. ПРЕНАСТРОЙВАНЕ НА ВРЕМЕЗАДАВАЩАТА СХЕМА

За да се осигури работа при различни скорости на предаване, се предвижда превключване на компонентите във времезадаващата верига на таймера. За надежна работа е необходим внимателен подбор на използваните компоненти. Установяването на желаната скорост става еднократно, преди включване на системата, и не подлежи на промяна по време на работа.

Разбира се, могат да се предложат много решения за превключване на времезадаващите елементи по време на работа. Болшинството от тях предполагат тежки схемотехнични решения, при което се губят предимствата от простотата на изграждане на разглеждания интерфейс.

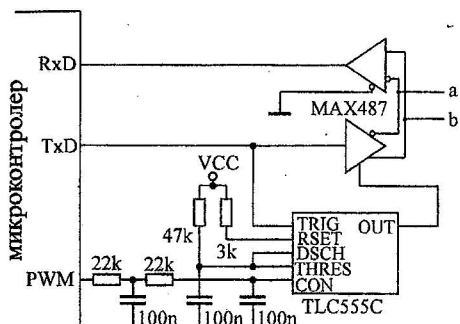


Фиг. 3

Използваният интегрален таймер 555 дава още една възможност за промяна продължителността на генерираните времеинтервали (фиг. 3). Това може да стане чрез промяна на напрежението на модулационния вход (извод 5).

Използването на цифро-аналогов преобразувател за изработване на управляващо напрежение към таймера е неоправдано скъпо и тежко решение. Болшинството съвременни микроконтролери, използвани във вградените микропроцесорни системи, притежават таймерни подсистеми, способни да работят в режим на модулация ширината на импулса. Много често възможностите на тези подсистеми остават неизползвани. След двойно интегриране изходните импулси от тях могат да се превърнат в напрежение, зависещо от избрания коефициент на запълване, което да се използва за управление ширината на импулса на интегралния таймер 555.

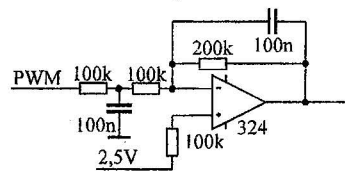
4. ПРИМЕРНО СХЕМНО РЕШЕНИЕ



Фиг. 4

Промяна на времето за предаване на символ може да стане чрез добавяне на две интегриращи RC вериги (фиг. 4). При промяна скоростта на обмен освен пренастройка на задаващия генератор на серийния комуникационен интерфейс е необходимо да се зададе и подходящ коефициент на запълване на PWM таймера. След това превключването на предавателя на интерфейсия буфер става "прозрачно" за управляващата програма.

Резистивният делител, вграден в интегралния таймер 555, оказва

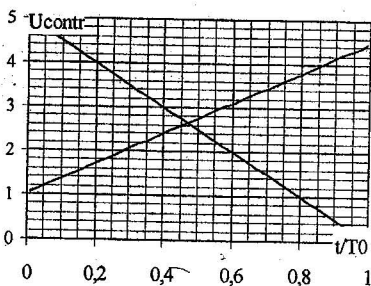


Фиг. 5

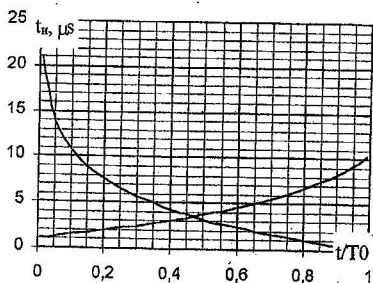
шунтиращото влияние на интегриращите вериги. Напрежението на модулиращия му вход не може да достигне граничните стойности от 0 и 5 V. Това води до стесняване на динамичния диапазон, в който може да се променя ширината на импулса в изхода на таймера, и от там до ограничаване обхвата на

допустимите скорости на обмен. Разширение на динамичния диапазон може да се получи, като второто интегриращо звено се замени с интегратор с активен елемент (фиг. 5), характеризиращ се с ниско изходно съпротивление.

Зависимостта на модулационното напрежение от коефициента на



Фиг. 6а



Фиг. 6б

запълване при период 250 μs и при посочените стойности на елементите за двете схеми е показана на фиг. 6а, а на фиг. 6б – продължителността на изходния импулс от същия параметър.

В Таблица 1 са дадени стойностите на коефициента на запълване за получаване на някои стандартни скорости на обмен при използване на различни формати за интегратора с операционен усилвател. Резултатите са снети при период на повторение 250 μs и при посочените на схемата стойности на елементите.

Таблица 1

		7N	8N	8E
600	t_E, ms	14,16667	15,83333	17,5
	$t_{\text{PWM}}/T_{\text{PWM}}$	0,046916	0,032688	0,022775
1200	t_E, ms	7,083333	7,916667	8,75
	$t_{\text{PWM}}/T_{\text{PWM}}$	0,217896	0,181881	0,151818
2400	t_E, ms	3,541667	3,958333	4,375
	$t_{\text{PWM}}/T_{\text{PWM}}$	0,469586	0,429026	0,391969
4800	t_E, ms	1,770833	1,979167	2,1875
	$t_{\text{PWM}}/T_{\text{PWM}}$	0,689362	0,658919	0,62982
9600	t_E, ms	0,885417	0,989583	1,09375
	$t_{\text{PWM}}/T_{\text{PWM}}$	0,835245	0,816594	0,798359
19200	t_E, ms	0,442708	0,494792	0,546875
	$t_{\text{PWM}}/T_{\text{PWM}}$	0,919385	0,909062	0,898855

5. ЗАКЛЮЧЕНИЕ

Предлаганото решение позволява да се въведе ефективен механизъм за управление посоката на обмен при използване на интерфейса RS485, който остава "прозрачен" за програмното осигуряване, като същевременно се дава възможност скоростта на обмен да се изменя в широки граници, приемайки дори и нестандартни стойности. Структурата на предлаганото схемно решение дава възможност за лесно реализиране на галванично разделяне на вградената система от комуникационния интерфейс.

6. ЛИТЕРАТУРА

- [1] Goldie, J., G. Murdock. Build a Direction-Sensing Bidirectional Repeater. AN702. National Semiconductor. May 1990.
- [2] Goldie, J. Comparing EIA-485 and EIA-422 Line Drivers and Receivers in Multipoint Applications. AN7592. National Semiconductor. February 1991.
- [3] Vo, J. Calculating Power Dissipation for Differential Line Drivers AN805. National Semiconductor. February 1992.
- [4] Goldie, J. Inter-Operation of Interface Standards. AN972. National Semiconductor. November 1994.
- [5] Nelson, T. The Practical Limits of RS-485. AN979. National Semiconductor. March 1995.
- [6] Goldie, J. Ten Ways to Bulletproof RS-485 Interfaces. AN1057. National Semiconductor. October 1996.
- [7] RS-422 and RS-485 Application Note. B&B Electronics Mfg. Co. Inc. Ottawa, October 1997.
- [8] Sivasothy, S. Transceivers and Repeaters Meeting the EIA RS-485 Interface Standard. AN409. National Semiconductor. July 1998.

Доклада е рецензиран от доц. д-р Герги Славчев Михов – Технически университет – София, кат. Електронна техника.