

VHDL МОДЕЛИ НА СЕРИЙНИ ИНТЕРФЕЙСИ – RS-232 И I²C

доц. д-р инж. Тодор Славков Джамийков,
доц. д-р инж. Димитър Серафимов Алексиев,
инж. Николай Венциславов Крантов,
Емилия Димитрова Насева,

ТУ – София, катедра “Електронна Техника”

Kranton N. V., T. S. Diamiykov, D. S. Aleksiev, E. D. Naseva. VHDL models of serial interfaces – RS-232 and I²C. The present paper discuss the opportunity for developing of universal controlling communication modules based on most popular standards for serial communication EIA/TIA-232-E (known as RS-232) and Inter IC (or I²C) through behavioral hardware description. Using the high versatile language for describing digital controlling systems VHDL can be constructed interface modules only by description of the module behavior.

1. ВЪВЕДЕНИЕ

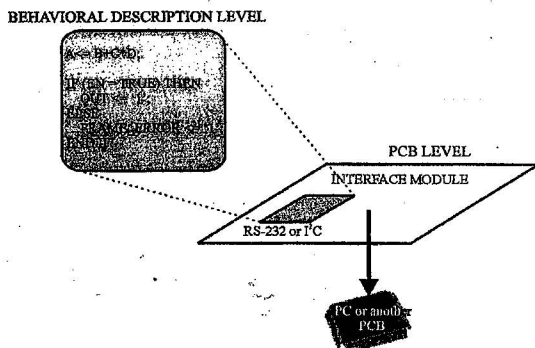
Серийната комуникация е широко използвана в инженерната практика за предаване на данни между различни електронни системи, благодарение на сравнително простата си и евтина технология за реализация. Предложения доклад разглежда възможността за разработка на универсални управляващи модули за комуникация по едни от най-разпространените серийни комуникационни стандарти - EIA/TIA-232-E (известен по-широко като RS-232) и Inter IC (или I²C) чрез поведенческо хардуерно описание. Обособяването им като отделни завършени блокове позволява лесното комуникационно адаптиране на различни по характер цифрови електронни системи, изградени в програмируема логическа матрица към голяма част от конвенционалните интегрални схеми, а също и предаване на данни от тези системи към PC.

2. ЗАДАЧИ КЪМ РЕАЛИЗИРАНАТА СИСТЕМА И БЛОКОВА СХЕМА

Поставените цели при развитието на модула са :

- реализиране на универсалност при приемане и предаване на цифровите данни;
- поддръжка на протоколите за комуникация по RS-232 и I²C;
- лесно превключване между двата интерфейса;

Всичко споменато по-горе води до блоковата схема от фиг. 1:



Фиг. 1. Блокова схема на интерфейсия модул

3. ХАРДУЕРНА РЕАЛИЗАЦИЯ

Като база за физическото постигане на поставените цели е използвана новата фамилия енергонезависими програмируеми устройства на *Xilinx Cool-Runner*, предназначени за приложения с ниска консумация. Съчетанието от поддържаната висока системна честота и гъвкавост на заложената в чиповете PLA архитектура ги прави изключително подходящи за постигането на идеята. Конкретно използваният чип от фамилията е *XCR3256XL*, чиито по-важни характеристики са:

- наличие на 256 макроклетки за синтезиране на описвания дизайн;
- системна честота до 140 MHz;
- 5 ps закъснение от извод до извод;
- 100 % вътрешно опроводяване;
- съвместимост на входовете и изходите с 5 V TTL;
- 164 потребителски входове/изходи;
- статична консумация < 100 μ A;

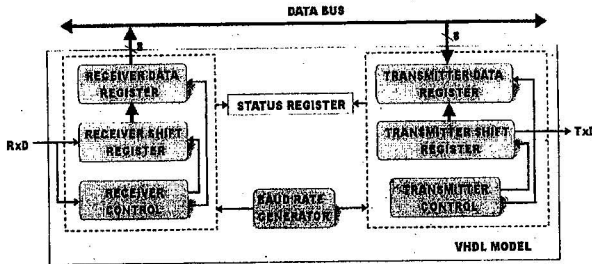
4. RS-ВАРИАНТ

RS-232 интерфейсът е реализиран като универсален асинхронен приемопредавател (UART), основните функции, на който са:

- двойно буферизиране на предаваните данни;
- генериране формата на данните;
- преобразуване от паралелен в сериен формат;
- двойно буферизиране на приеманите данни;

- преобразуване от сериен в паралелен формат;
- проверка по четност;
- синхронизация.

Архитектурата на описания и вграден в чипа модел има вида от фиг. 2:

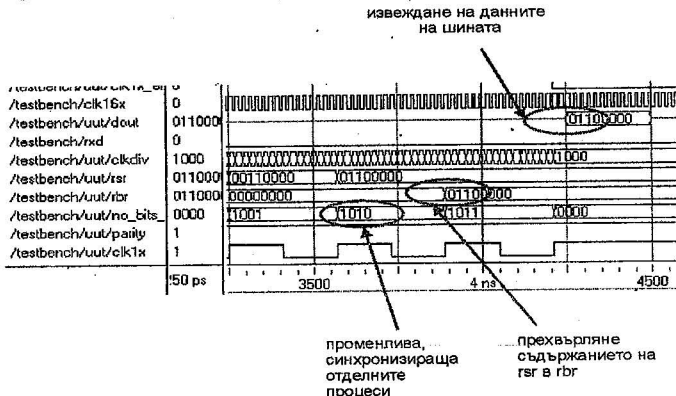


Фиг. 2. Архитектура на модела на RS-232

Приемащата и предаващата част са изградени чрез независимо работещи процеси, обединени от обща променлива на състоянието. Приемателят включва:

- сериен регистър за приеманите данни rsr (receiver shift register);
- отделен буферен регистър за приетите данни, с което се постига гъвкавост при четене на двупосочната шина за данни на контролера от външна система rbr (receiver buffer register);
- синхронизация чрез машина на състоянията и обща променлива на състоянието.

Резултатите от проведената симулация на работата на приемника са показани на фиг. 3:



Фиг. 3. Симулация на приемащата част

Предавателят сам генерира рамката на данните в съответствие със стандарта EIA/TIA-232-E:

- свободно (*idle*) състояние – логическа ‘1’ на линията TxD;
- стартов бит – преход от логическа ‘1’ към ‘0’ на TxD;
- 8 бита данни;
- стопов бит – логическа ‘1’ на TxD;
- грешка в рамката (*framing error*), ако стоповият бит не е в необходимото логическо състояние.

На фиг. 4. е показана симулацията на предаването:



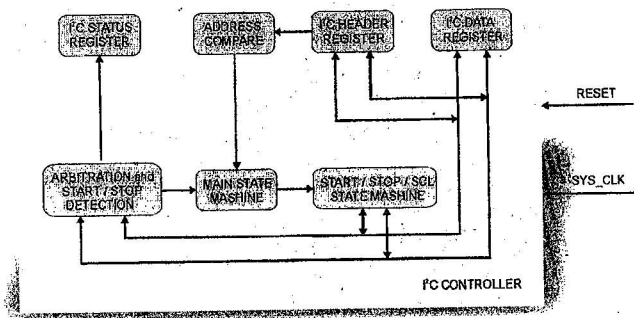
Фиг. 4. Симулация на предавателя

5. I²C ВАРИАНТ

Реализираният I²C контролер поддържа следните възможности:

- работа в master или slave режим;
- прекъсване на работа от тип загуба на арбитрация (*arbitration lost*) с автоматично превключване на режима към slave;
- разпознаване / генериране на състояние START и STOP;
- разпознаване на състояние повторен старт (*repeated START*);
- разпознаване / генериране на бит за потвърждение (*acknowledge*);
- разпознаване на състояние на заета шина (*bus busy*).

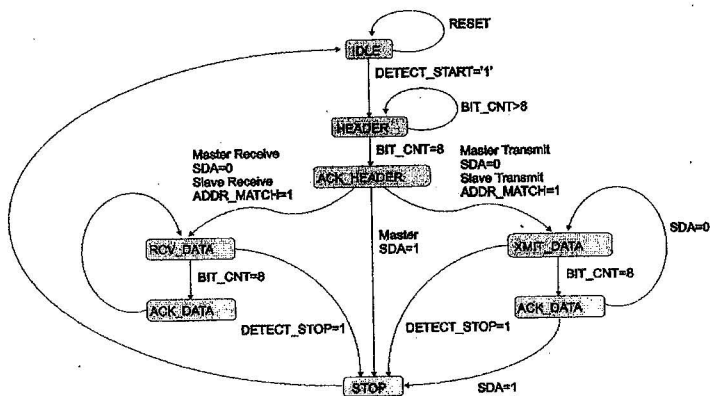
Тези особености на интерфейса са отразени в блокове от неговата вътрешна архитектура, показана на фиг. 5:



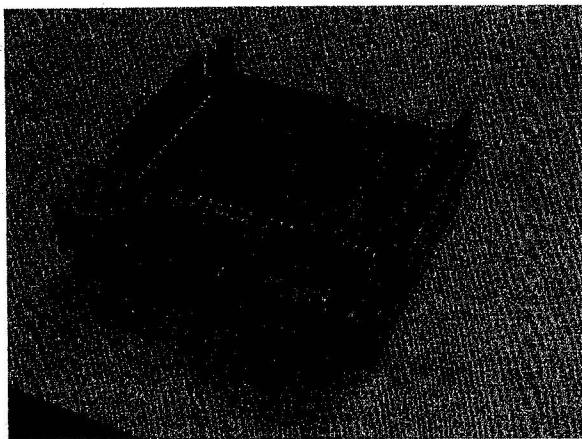
Фиг. 5. Архитектура на VHDL модела на I²C

За цялостното описание на контролера отново е използвана машина на състоянията, което се оказва най-удачния вариант за програмиране при описване на управляваща система със сложно поведение (фиг. 6).

Като краен резултат на проекта е реализирана описаната по-горе интерфейсна част на печатна платка, която отговаря на поставените в началото изисквания (фиг. 7):



Фиг. 6. Машина на състоянията за I²C контролера



Фиг. 7. Завършена система за VHDL интерфейси

6. ЗАКЛЮЧЕНИЕ

Използването на високоейерархично хардуерно описание позволява лесното адаптиране на една цифрова система към друга по отношение на обмена на данни. В работата е представено едно възможно решение на проблема.

7. ЛИТЕРАТУРА

1. *Xilinx Data book*, 2002;
2. *Digital systems design using VHDL*, C. Roth, University of Texas at Austin;
3. *Digitale Schaltungen*, B. Schwartz, 2000