

ЧЕСТОТЕН СИНХРОНИЗАТОР ЗА КОНВЕРТОР RS232 – RS485

бак. инж. Борислав Иванов Калайджиев
доц. д-р. инж. Георги Славчев Михов
(тел. +359 2 965 32 81, E-mail: gsm@vmei.acad.bg)
Катедра Електронна техника, ТУ – София
маг. инж. Стоян Николов Жилов
(тел. +359 42 600 110, E-mail: spv@abv.bg)
SPV Ltd. – Стара Загора

Kalaydgiev, G. Mihov, S. Jilov. Frequency Locked Loop Application for RS232 to RS485 Smart Bridge. This work demonstrates the development of full- to half-duplex interfaces converter using Frequency Locked Loop (FLL) technique. The proposed converter is well suited for applications with variable speed and data format communication. Appending principle of FLL allow self-synchronization of converter's timer and logic to current value of baudrate. The Frequency Locked Loop itself is implemented as software equipment for a low class microcontroller.

I. ВЪВЕДЕНИЕ

За двупосочно предаване на данни обикновено се употребяват два типа интерфейси, общо наречени full-duplex и half-duplex. Интерфейсите тип full-duplex използват отделни комуникационни среди, докато тези от типа half-duplex използват обща комуникационна среда както за предаване, така и за приемане.

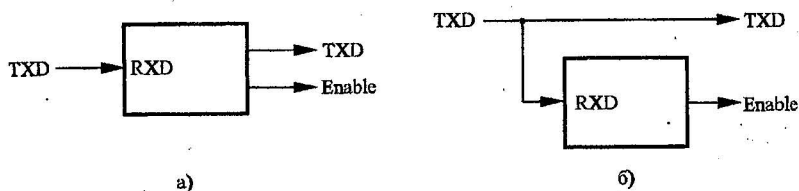
Нормално при half-duplex интерфейсите се свързват много приемници и предаватели в топология обща шина. Поради това, когато се проектира устройство за работа с такава обща шина, е необходимо да се вземат мерки за да не се допусне едновременно активиране на повече от един предавател. За целта се изработва специален сигнал (*Enable*), който разрешава изходните буфери на мрежовия драйвер само тогава, когато има предаване на информация към мрежата.

Твърде често в практиката се налага свързване на устройство, контролер или компютър, който притежава full-duplex сериен интерфейс към мрежа, изградена по half-duplex концепцията. Именно тогава възниква необходимостта от изграждането на специализиран конвертор от full- към half-duplex. Типичен пример е свързването на устройство, притежаващо RS232 интерфейс към мрежа, ползваща физическия интерфейс RS485.

Основен проблем при този тип конвертори е изработването на сигнал за разрешение на предаването на данни към мрежа от типа half-duplex

(недопускането на едновременно предаване с друг предавател в мрежата), особено когато е нежелателно използването на допълнителен сигнал от full-duplex интерфейса.

Съществуващите решения по същество съдържат закъснителна верига (таймер), който разрешава драйвера само за времето на предаването на един байт информация [1]. На фиг. 1 са дадени две такива типични реализации.

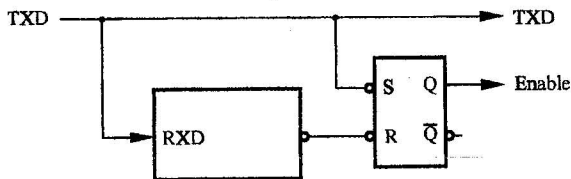


Фиг. 1. Основни варианти за таймерно генериране на разрешение за драйвер при интерфейс RS485.

При първата схема (фиг. 1.а) се приема цял байт от RS232, след което той се препредава към RS485, като се подава разрешаващ сигнал *Enable* само за времето, през което трае предаването. Предимство на схемата е минималното закъснение на разрешаващия сигнал спрямо стартовия бит, но съществен недостатък е забавянето на информацията за времето от един байт. Това забавяне се избягва при схемата от фиг. 1.б. При нея информацията “тече” директно, но остава закъснението на *Enable* след стартовия бит.

II. ПРЕДЛОЖЕНО РЕШЕНИЕ

Анализът на съществуващите решения дава възможност да се направи заключението, че повишаването на достоверността на информацията и надеждността на работата зависи преди всичко от точното формиране по местоположение и продължителност на времевия интервал, през който се разрешава предавателя на RS485. Местоположението на разрешението се определя от неговите начало и край. За възможно точното им определяне е приета концепцията, показана на фиг. 2.

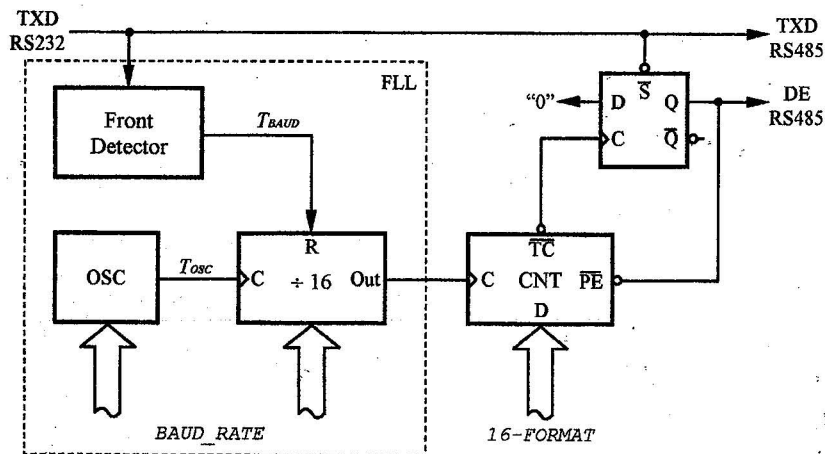


Фиг. 2. Формиране на начало и край на разрешение за предавател при RS485.

Употребен е SR – тригер, изходът на който формира сигнал разрешение за

предавателя. Началото на разрешението се формира по водещия фронт на стартовия импулс, а край – от управляващото устройство, след изтичане на времето за предаване на целия байт. За по-прецизно определяне на края на предавания байт е приложен принципа на честотната синхронизация [2], като е вграден допълнителен блок, синхронизиращ се по всеки от фронтовете в предаваните данни.

Общата блоковата схема на конвертора е показана на фиг. 3. Тя се състои от детектор на фронт, честотен делител, брояч, задаващ генератор и SR-тригер.



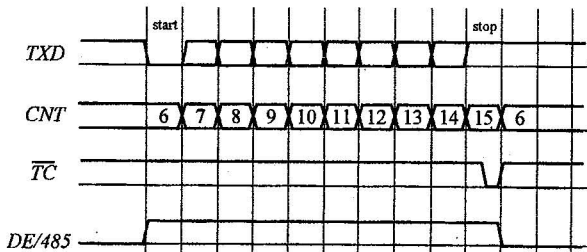
Фиг. 3. Структура на конвертор RS232 - RS485.

Честотата на задаващия генератор е 16 пъти по-висока от честотата на пристигащите данни. Делителят е настроен на коефициент на делене 16, и увеличава съдържанието си синхронно с импулсите от задаващия генератор. Когато се препълни, се нулира и инкрементира брояча. Всяка промяна в състоянието на линията за данни предизвиква изработването на кратък импулс от детектора на фронт. Този импулс принудително нулира делителя, като по този начин устройството само се синхронизира със скоростта на входния поток.

Когато по линията TXD не се предават данни тригерът е нулиран, драйверът за RS485 – забранен, а в брояча е заредена стойността (16 - FORMAT), където константата FORMAT определя броят битове в предавания кадър – стартовия, информационните, контролния и стопови бита. Постъпването на стартовия бит установява SR-тригера и подава разрешаващ сигнал за RS485 драйвера. Броячът започва да се инкрементира, и когато се препълни изработва сигнал на изхода си за пренос TC, с което нулира тригера и поставя схемата в начално състояние.

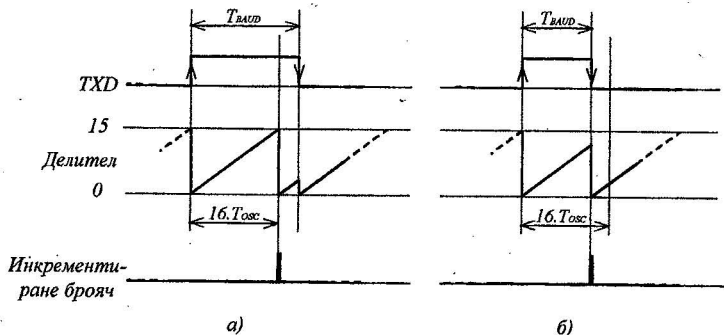
На фиг. 4 е дадена времедиаграма на сигналите за предаване на байт във

формат 1-8-1 и синхронизирането на брояча по тях.



Фиг. 3. Времедиаграма на сигналите.

На фиг. 5 е показан процесът на синхронизиране за два различни случая – когато скоростта на пристигащите данни е по-ниска от типичната ($T_{BAUD} > 16 \cdot T_{osc}$) – фиг. 5.а, и когато скоростта им е по-висока от типичната – фиг. 5.б. Инкрементирането на брояча в първия случай става при преспълване на делителя, а във втория случай – синхронно с фронта на TXD .

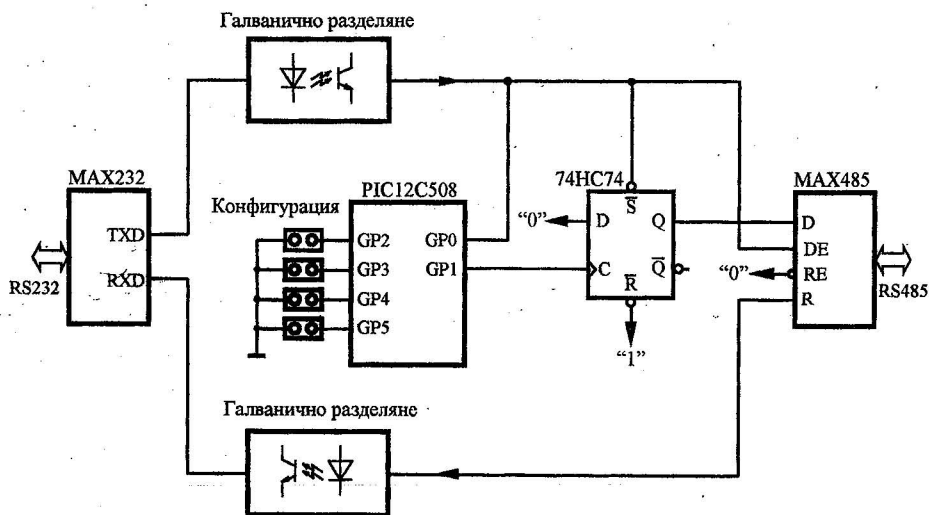


Фиг. 5. Синхронизиране при скорост на пристигащите данни по-ниска от типичната – а) и при по-висока от типичната – б).

За да се промени скоростта на работа трябва да се промени честотата на задаващия генератор (T_{osc}) или коефициента на делене на делителя (K_D). Във всички случаи обаче трябва да бъде спазено съотношението $T_{BAUD} = K_D \cdot T_{osc}$. За работа с друг формат на данните трябва да се промени константата $FORMAT$.

В принципната схема (фиг. 6) е употребен микроконтролера PIC12C508 на фирмата Microchip [3]. Той поема функциите на честотния синхронизатор. На портовете му GP2...GP5, конфигурирани като входове, са свързани джъмperi, с които може да се конфигурира скоростта и формата на данните. Употребени са

интегралните драйвери MAX232 и MAX485 за връзка към интерфейсите, и обикновен D-тригер. Добавено е галванично разделяне на сигналите с оптрони.



Фиг. 6. Схема на конвертор RS232 - RS485.

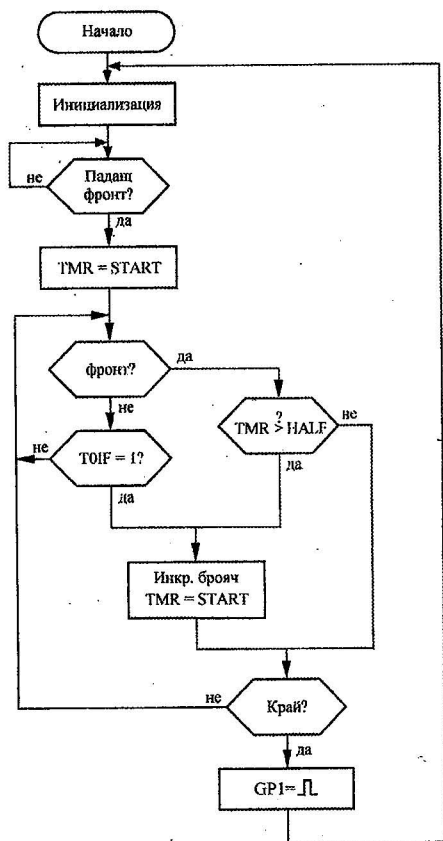
На фиг. 7 е показан управляващия алгоритъм. След откриване на стартов бит по първия падащ фронт на линията TXD във вградения таймер-бройч на микроконтролера се зарежда константата START; следва цикъл, в който се очаква фронт на TXD или препълване на таймера, индицирано от флага TOIF. Ако се регистрира препълване на таймера се инкрементира софтуерен бройч; ако е открит фронт, проверява се съдържанието на таймера, и ако той не е прехвърлил половината (константа HALF), инкрементирането на брояча се прескача – за да се избегне двойно инкрементиране в случай, че фронта се забави след момента на препълване на таймера. Условието за край е брояча да достигне стойност, отговаряща на броя битове в кадъра. След достигането на края на порта GP1 се извежда кратък импулс, нулиращ тригера, и програмата се подготвя за приемането на следващия байт.

III. ЗАКЛЮЧЕНИЕ

Настоящия доклад описва проблемите и начините за управление на конвертор между интерфейсите RS232 RS485. Разгледани са няколко варианта на подобни конвертори, използвани в практиката, и са дискутирани техните предимства и недостатъци. Предложено е решение, притежаващо минимално закъснение при формиране на началото на сигнала разрешение, а за формиране

на времевия интервал на разрешението е добавен честотен синхронизатор. Благодарение на този синхронизатор, край на предавания байт се открива много по-точно, с което се повишава сигурността на предаваните данни и се намалява зависимостта на устройството от неточност в постигането на желаната скорост.

Описаното устройство е изпробвано и внедрено в производствената линия на фирма SPV Ltd. – Стара Загора, и показва сигурност и надеждна работа.



Фиг. 7. Блокова схема на алгоритъм на работа на управляващото устройство на конвертор RS232 - RS485.

ЛИТЕРАТУРА

- [1]. <http://www.ftdi.co.uk/>
- [2]. DS40139E – PIC12C5XX Datasheet, Microchip Technology Inc., 1999.
- [3]. Михов, Г. Цифрова схемотехника, ТУ – София, 2000.
- [4]. <http://www.rs232.org/>
- [5]. <http://www.rs485.org/>