

ПРОЕКТИРАНЕ НА МОДУЛИ ЗА OFDM БАЗИРАНИ БЕЗЖИЧНИ ЛОКАЛНИ МРЕЖИ

Благомир Росенов Дончев, Добромир Николов Арабаджиев

Технически университет – София. ECAD лаборатория.

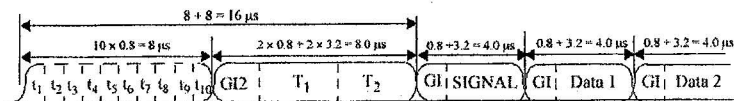
E-mails: donchev@ecad.vmei.acad.bg, dna@ecad.vmei.acad.bg

Donchev B.R., Arabadziev D.N., Design of OFDM based WireLess Network modules. The digital signal processing is area, where specialized integrated circuit find wide application because of the required observing of certain parameters and rules. The purpose of this article is a presentation of the design of a modulation/demodulation unit for QAM signals. The design of the project is powered with the Language for behavioral Description in High level (VHDL) and System for Simulation and Synthesis of digital integrated circuits – Synopsys. As a base that answers to the system requirements is chosen Virtex based FPGA by the Xilinx Company.

1. ВЪВЕДЕНИЕ

В настоящата статия е представена разработка на блок за модулация и демодулация на амплитудно-фазово модулирани сигнали, който се явява съставна част от OFDM базирана безжична локална мрежа.

Ортогоналното честотно разделяне и мултиплексиране (OFDM) е техника която разделя наличният честотен спектър на много носещи трептения всяко от които е модулирано. OFDM е подобна на системите с честотно разделяне, но за разлика от нея използва много по-ефективно наличният спектър, тъй като разстоянието между отделните канали е много по-малко. Това се постига като носещите трептения се правят ортогонални едно спрямо друго, като по този начин се премахва интерференцията между близко разположените канали. Поради тези си предимства OFDM алгоритъма е залегнал в основата на разработения през 1997г. стандарт за безжични локални мрежи IEEE 802.11a. Структурата на пакета данни е показана на фиг.



Фиг. 1

1. Предаването започва с излъчването на поредица от десет символа ($t_1 \dots t_{10}$) с определена от стандарта форма, по които приемната страна разбира, че е започнало предаване. Тези символи служат още за автоматично регулиране на усилването, груба честотна корекция, за времева синхронизация. След тях следват два дълги символа T_1 и T_2 отново с позната форма, чрез които се извършва фина честотна корекция и времева синхронизация. След тези два

символа започва предаването на информацията. Информацията се предава във вид на OFDM символи, като в един символ се съдържат 64 носещи трептения - от тях 48 са модулирани с данни, а четири са пилотни (еталонни) сигнали, които се използват за корекция при промяна на честотата в случай на дроплерово отместване, разлики в честотите на опорните генератори и т.н.

След като всички данни от пакета бъдат предадени следва нов пакет със същата структура. На фиг.2 е показана структурата на основните блокове от които е съставен стандарта IEEE 802.11a.

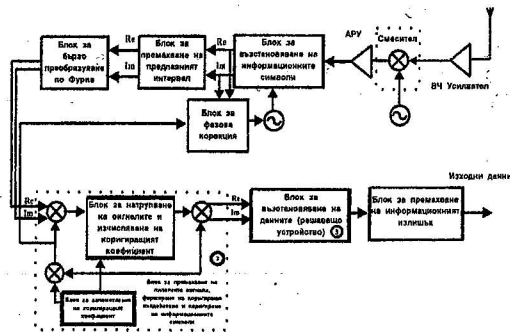
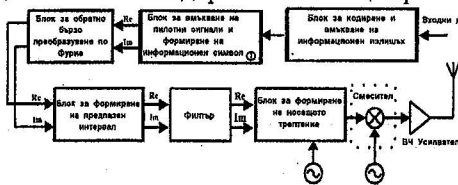
2. ПРИНЦИП НА ДЕЙСТВИЕ

Блокът за модулация е предназначен да извършва следните операции :

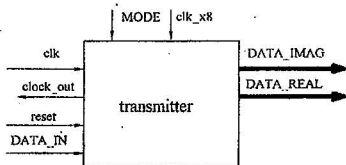
- преобразуване на данните от сериен в паралелен вид
- добавяне на пилотни сигнали съгласно заложената в стандарта последователност
- вмъкване на нулев символ
- формиране на информационни символи в зависимост от желания вид модулация. Поддържат се всичките видове модулации заложиени в стандарта.

Неговият блоковият вид е показан на фиг.3. Входните данни постъпват серийно през входа DATA_IN, синхронно със сигнала clk_out и се натрупват във вътрешен шест битов регистър. На практика това е SPI интерфейс като четенето на данните от блока се извършва при нарастващ фронт на сигнала clk_out, а при спадащ фронт върху шината DATA_IN постъпват новите данни.

Този процес може да се проследи от симулациите показани на фиг.4. Четенето продължава докато се запълни вътрешният регистър. При това сигналът clk_out се установява в лог."1" докато не се изпразни част от регистъра. Това става когато настъпи нарастващ фронт на сигнала clk. Тогава стойността на сигнала MODE (той е двубитова шина) се прочита и в

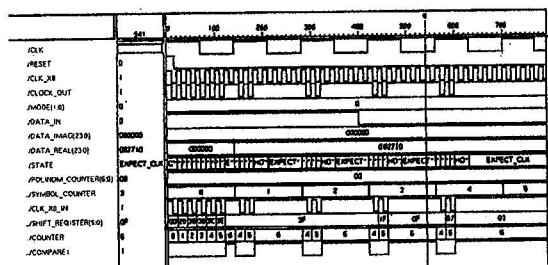


Фиг.2



Фиг.3

зависимост от подадената комбинация се прочита вътрешният регистър и информационните символи се формират като едновременно с това излизат на изходите DATA_REAL и



Фиг.4

DATA_IMAG.

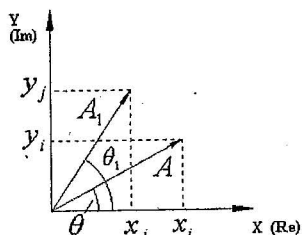
Информационните символи са с 24 бита разрядност както е заложено в стандарта. При формирането на символите се изразва част от вътрешният регистър като това зависи от извършвания тип модулация. Честотата на сигнала clk_out трябва да е достатъчно висока, така че при постъпване на нарастващ фронт на сигнала clk вътрешният регистър да е запълнен със сигурност, независимо каква част от него е била изпразнена преди това. Поради това честотата на clk_out е 160 MHz.

Блокът за демодулация се състои от две части: блок за амплитудно – фазова корекция и решаващо устройство.

Блокът за амплитудно-фазова корекция е предназначен да извършва следните операции :

- премахане на пилотните сигнали;
- изчисляване на предавателната характеристика на канала (преносната среда);
- коригиране на информационните символи.

Неговата работа се основава на факта, че при предаването на данните символи периодично се предават и еталонни сигнали които са с позната за приемника амплитуда и фаза. По тяхната стойност в приемната страна може да се направи оценка на предавателната характеристика на канала и така да се изработи коригиращо въздействие. За целта беше разработен алгоритъм, принципът на който е описан по-долу. Ако приемният сигнал се разглежда като вектор, то тогава той има амплитуда A и се намира под ъгъл θ спрямо началото на координатната система (фиг.5).



Фиг. 5

Математически този вектор може да се опише със следното уравнение:

$$(1) \quad S = Ae^{j\theta}, \text{ където:}$$

A – амплитудата на сигнала

θ – фазата на сигнала

Ако променим амплитудата на този вектор на A_1 и фазата на θ_1 се получава друг вектор :

$$(2) \quad S_1 = A_1 e^{j\theta_1}$$

Отношението между двата вектора се дава чрез уравнението:

$$(3) \quad S_1 h = S, \text{ където:}$$

h - предавателната характеристика на канала

S - еталонен сигнал

S_1 - приетият сигнал

След преобразуване се получава:

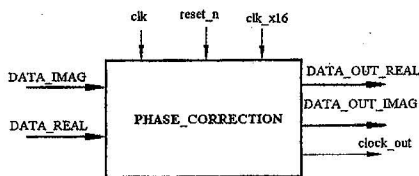
$$(4) \quad h = S/S_1$$

След като коригиращият коефициент бъде изведен пристигащите сигнали се умножават с него и така се извършва корекцията.

За да се провери дали теоретичният модел работи коректно беше направена програма на продукта MATLAB и бяха направени симулации на различните режими на работа при различни нива на шума. От получените резултати се установи, че при част от режимите на работа резултатите се доближават до теоретичната граница определена от формулата на Шанон.

На базата на проектираният по-горе теоретичен модел е изработен блока за амплитудно-фазова корекция. Неговият вид е показан на фиг.6 и има следният принцип на работа:

Входните сигнали постъпват последователно през входовете $DATA_IMAG$ и $DATA_REAL$ синхронно със сигнала clk и се умножават с коригиращият коефициент. След извършеното умножение сигналите се натрупват във вътрешен регистър. Четенето се извършва при



Фиг. 6

спадащ фронт на сигнала clk , а при нарастващ фронт върху шините $DATA_IMAG$ $DATA_REAL$ се установяват новите данни. Това може да се проследи по-подробно от симулациите представени на фиг.7. При постъпването на данните се следи за пристигането на пилотни сигнали. Това става като при всеки спадащ фронт на сигнала clk се увеличава съдържанието на вътрешен брояч и по този начин определяме поредният номер на символа.. Когато пристигне пилотен сигнал той се отделя от данновите символи и въз основа на (4) се изчислява предавателната характеристика на канала. След като са пристигнали 48 даннови символа запълването на вътрешните регистри приключва и започва извеждането на натрупаната информация. Едновременно с това в освободените клетки от регистъра се записват новопостъпилите данни като отново се следи за пристигането на пилотни сигнали съгласно описаният по-горе алгоритъм.

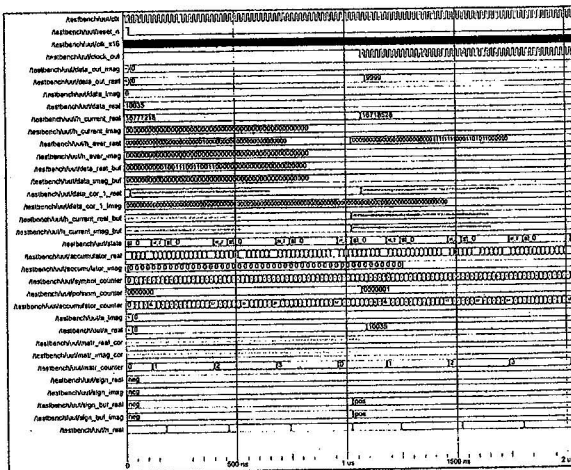
Решаващото

устройство е предназначено да извършва следните операции:

- откриване на максимална проекция на приетия сигнал спрямо опорните вектори;

- декодиране на полученият

информационен символ в зависимост от желания вид модулация. Поддържат се всички видове модулации



Фиг.7

заложен в стандарта.

- извеждане на данните в сериен вид.

Работа му се основава на следният принцип:

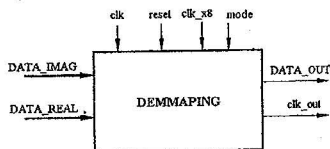
Ако приеманият сигнал се разглежда като вектор с постоянна амплитуда и ъгъл, тогава процесът на демодулация се свежда до откриване на съпоставяне на моментното амплитудно и фазово състояние на сигналния вектор с опорните вектори. Методът за откриване на максимална проекция на сигналния вектор спрямо опорните вектори може да се сведе до откриване на минималното Евклидово разстояние между два вектора.

На практика демодулирането протича по следният начин:

Пристигащият сигнал се разглежда като вектор. Изчисляват се разстоянията между него и всичките опорни вектори и

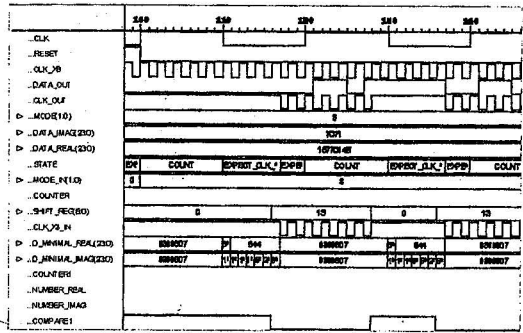
след това се намира минималното от тях. По това се разбира кой е информационният символ и съответно каква информация съдържа приетият сигнал. Блоковият вид на устройството е показан на фиг. 8, а принципът му на работа е следният:

При постъпване на нарастващ фронт на сигнала clk данните които се намират върху шините DATA_REAL и DATA_IMAG се прочитат. След като данните са прочетени асинхронно се задейства втори процес при което се изчисляват разстоянията между приетият сигнален вектор и опорните вектори. След като това стане започва изпълнението на алгоритъм, който намира най-малкото разстояние. Тъй като това изисква няколко такта, а системата трябва да е готова да приеме новите данни при постъпването на следващият



Фиг.8

нарастващ фронт на сигнала clk , то е необходимо изпълнението на този алгоритъм да се тактува от сигнал с по-висока честота. За целта е предвиден сигнала clk_x8 който е с осем пъти по-висока честота от тази на clk (по стандарт сигнала clk е с честота 20MHz).



Фиг.9

След като се определи истинската стойност на сигналният вектор се извършва възстановяване на данните и извеждането им в сериен вид. Това се извършва чрез изходите DATA_OUT и clk_out които образуват на практика SPI интерфейс. Резултатите от симулацията са показани на фиг.9.

3. АПАРАТНА ЧАСТ

При реализацията на разработката е използван езикът за описание на високо ниво VHDL. Чрез софтуерният продукт Synopsys абстрактното ниво на представяне беше сведено до ниво логически елементи.

За физическата реализация на разработката, имайки в предвид изискванията за ниска консумация, нисък риск на разработката и време за реализация е избрана програмируема логическа матрица (FPGA) на фирмата Xilinx.

4. ЗАКЛЮЧЕНИЕ

Проектирането на специализирани интегрални схеми е итеративен, йерархичен процес, който включва последователното извършване на синтез и анализ. На всяка стъпка от йерархията се създава ново представяне на системата, което се анализира и подобрява итеративно, докато се изпълнят изискванията на спецификацията.

Възможността сложните проекти да се описват на високо ниво на абстракция увеличава ефективността на симулациите. Намалява се времето за осъществяването им, откриват се несъответствия със спецификацията преди сложността на задачата да се увеличи преминавайки на по-ниско ниво на абстракция.

5. ИЗПОЛЗВАНА ЛИТЕРАТУРА:

1. Couch Leon W. "Digital and Analog Communication System
2. Roth Charels H. "Digital System Design Using VHDL"

Статията е рецензирана от доц.д-р Марин Христов