

1GHz, 10dBm КЛАС Е МОЩЕН УСИЛВАТЕЛ

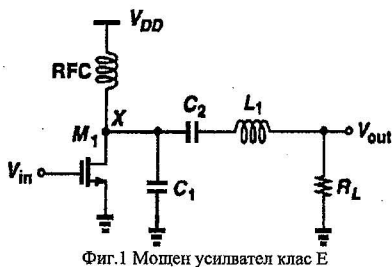
инж.Олга Жорова Антонова,
доц. д-р Марин Христов Христов, инж.Гергана Николова Додева
Технически Университет – София, ЕСАД Лаборатория
antonova@ecad.vmei.acad.bg, mhristov@ecad.vmei.acad.bg, dodeva@ecad.vmei.acad.bg

Antonova O.J., Hristov M. H., Dodeva G. N., A 1GHz 10dBm class E power amplifier. A monolithic RF power amplifier has been designed to provide 10 dBm output power at 1GHz to a 50-ohm load from 2.8V supply. The amplifier has been developed first at 5MHz and then at 1GHz. There are used 0.8um SiGe BiCMOS and 0.35 CMOS technologies. Monolithic inductors are implemented for the power amplifier investigation at high frequencies.

I. ВЪВЕДЕНИЕ

Нарастващото приложение на мобилните комуникации налага разработването на мощни усилватели, които са неделима част от радиочестотните приемо-предаватели.

Схемата на мощен усилвател клас Е е показана на фиг.1. Състои се от изходен транзистор M_1 , заземен кондензатор C_1 и серийна резонансна верига C_2L_1 . Индуктивността RFC има висок импеданс при честотата на работа на схемата, а C_1 включва кондензатора на дрейновия преход на транзистора M_1 . Транзисторът се управлява така, че да работи като ключ. Основен принцип при проектирането на този клас мощни усилватели е да се избегне едновременното наличие на голям ток и високо напрежение върху ключа, дори и в случай, че той провежда дълго време. Този тип мощен усилвател постига висок КПД, ако са изпълнени следните условия [1], [2]:



Фиг.1 Мощен усилвател клас Е

1. Напрежението върху транзистора (ключа) да е минимизирано, когато токът протича през него.
2. Токът през транзистора да е минимизиран, когато съществува напрежение върху него.
3. Времената на превключване да са минимални.
4. При отваряне на ключа напрежението върху него се увеличава – това налага изискването да се забави нарастването на напрежението, докато токът през него не намалее до минимума си.
5. Напрежението в дрейна на транзистора достига минимална стойност преди затварянето на ключа.
6. Изменението на напрежението в дрейна на транзистора е почти нулево, когато ключът е затворен.

Най-важните предимства на мощния усилвател клас Е са, че чрез него може да се постигне 100% КПД като използва малък брой елементи, осигурява максималната възможна изходна мощност и наличието на хармоници може да бъде сведено в определени граници при подходящ подбор на елементите.

Важен момент от изследването на мощния усилвател клас Е е, че е управляван с 25% и 50% коефициент на запълване на входния управляващ импулс.

Главната цел на тази статия е да сравни стъпалата мощни усилватели клас Е, проектирани на 0.8 μ m SiGe BiCMOS и 0.35 μ m CMOS технологии. CMOS технологията е за предпочитане от икономическа гледна точка, но SiGe BiCMOS технология има по-добри показатели по отношение на монолитните бобини.

II. ИЗПОЛЗВАНИ ФОРМУЛИ

Уравненията за изчисление стойностите на елементите на мощния усилвател клас Е са дадени по-долу, без да се отчитат ненулевите времена на превключване на ключа и наличието на паразитни елементи освен основните. Пълният анализ на мощното стъпало е показан в [3]. В уравненията P_{OUT} е изходната мощност, получена върху товарното съпротивление R ; P_{IN} е входната мощност; V_{DD} е захранващото напрежение; I_{DC} е консумираният ток; R_{FC} е индуктивност, свързана към захранващото напрежение и с достатъчно голяма стойност, гарантираща протичането на постоянен ток през нея; L_1 и C_2 са елементите на серийната резонансна верига; C_1 е кондензаторът, паралелен на транзистора; f е работната честота; Q е качественият фактор на товарната верига. Анализът на схемата е направен с $Q = 5$, но при интегрални бобини с по-големи стойности този качествен фактор се постига трудно.

$$R_{FC} \geq \frac{10R}{2\pi f} \quad (1)$$

$$C_1 = \frac{1}{2\pi f R} \left(\frac{8}{\pi^3 + 4\pi} \right) \approx \frac{0.184}{2\pi f R} \quad (2)$$

$$L_1 = \frac{QR}{2\pi f} \quad (3)$$

$$C_2 = \frac{Q}{2\pi f R} \quad (4)$$

$$P_{IN} = V_{DD} I_{DC} \quad (5)$$

$$P_{OUT} = \frac{R I_0^2}{2} \quad (6)$$

III. РЕЗУЛТАТИ ОТ СИМУЛАЦИИ ПРИ 5MHz

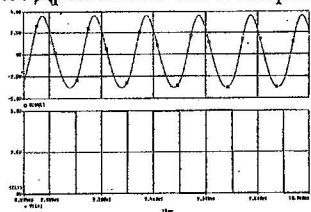
За определяне на най-подходящия режим на работа на мощния усилвател клас Е е направен електрически анализ на схемата при по-ниски честоти (5MHz) чрез използването на системата за автоматизирано проектиране PSpice. Поведението на мощното стъпало е изследвано при 5V захранващо

напряжение, идеален входен източник на правоъгълни импулси с 25% и 50% коэффициент на запълване(КЗ) и товар от 50Ω. Резултатите от това изследване са показани на Таблица I.

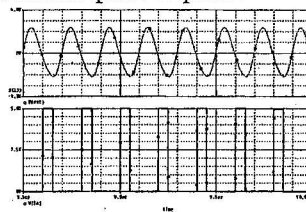
Таблица I
Резултати от симулации при 5MHz

| № | Параметър | Означение | Единица | Постигната стойност при 5MHz – КЗ = 50% | Постигната стойност при 5MHz – КЗ = 25% |
|----|-------------------|-----------|---------|---|---|
| 1. | Изходна мощност | P_{OUT} | dBm | 22.14 | 16.93 |
| 2. | КПД | η | % | 93.84 | 94.48 |
| 3. | Консумация | I_{DC} | mA | 34.867 | 10.439 |
| 4. | Хармоничен състав | SR | dBc | -20.60 | -20.55 |

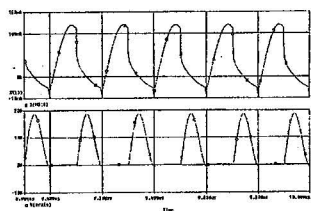
Изходните и входните сигнали на тези схеми могат да се видят на фиг.2 и фиг.3. Дрейновите ток и напрежение са показани на фиг.4 и фиг.5.



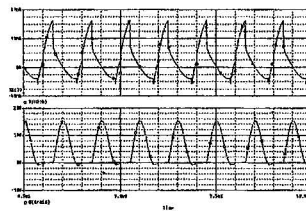
Фиг.2 Изходен и входен сигнал с КЗ=50%; $V_{DC}=5V; V_{IN}=5V; f=5MHz; R=50\Omega$



Фиг.3 Изходен и входен сигнал с КЗ=25%; $V_{DC}=5V; V_{IN}=5V; f=5MHz; R=50\Omega$



Фиг.4 Дрейнови ток и напрежение: входен сигнал с КЗ=50%, $V_{DC}=5V; V_{IN}=5V; f=5MHz, R=50\Omega$



Фиг.5 Дрейнови ток и напрежение: входен сигнал с КЗ=25%, $V_{DC}=5V; V_{IN}=5V; f=5MHz, R=50\Omega$

Транзисторите, използвани при изследването на поведението на усилвателя клас Е при 5MHz са ZVN4210/ZTX. Критериите за избор на транзисторите са те да са достатъчно бързи и в същото време да са достатъчно мощни за постигане на желаните резултати.

IV. РЕЗУЛТАТИ ОТ СИМУЛАЦИИ ПРИ 1GHZ

Мощният усилвател клас E е изследван и проектиран за работа при 1GHZ чрез използване на професионалната система за автоматизирано проектиране CADENCE. Използвани са MOS транзистори и на двете технологии 0.8um SiGe BiCMOS и 0.35um CMOS. Това е направено с цел да бъдат сравнени резултатите, получени на двете технологии. Преди електрическите анализи на мощното стъпало клас E при 1GHZ са направени подробни изследвания на поведението на схемните компоненти – активни и пасивни – за придобиване на пълна представа за техните характеристики.

Индуктивностите в интегрално изпълнение представляват плоски намотки, образувани в някой от слоевете с ниско листово съпротивление. Най-често това е най-горният метален слой, за да се намали капацитивната връзка с подложката. Основните параметри, от които зависи качеството на бобината са: листовото съпротивление на използвания за бобината метален слой; разстоянието на металния слой до подложката; проводимостта на подложката. При проектирането и изследването на мощния усилвател клас E е използван теснолентовият честотно-зависим модел на бобина, който включва: индуктивността на структурата, серийното съпротивление, моделиращо загубите от съпротивлението на използвания проводящ слой; капацитети и съпротивления, моделиращи загубите в подложката.

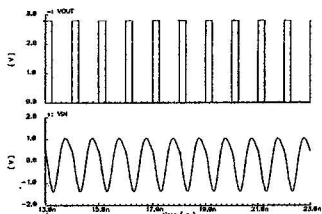
Кондензаторите, използвани при изследването на усилвателя са PolySi/PolySi (поли силициеви), поради техния по-голям качествен фактор и по-малки паразити в сравнение с другите интегрални кондензатори.

Проектирането на монолитния свръхвисокофреkwотен усилвател на мощност е извършено на две технологии: 0.8um SiGe BiCMOS и 0.35um CMOS. Изследването на усилвателя е извършено при 25% и 50% коефициент на входния управляващ правоъгълен импулс. Таблица II показва резултатите, получени при изследването на мощното стъпало. Подобно на схемите при пониски честоти и тук са показани най-важните параметри на усилвателя: изходна мощност, консумация, КПД и хармоничен състав.

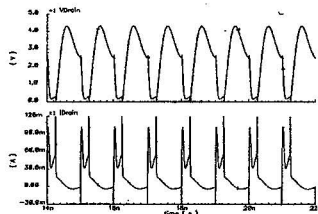
Таблица II
Резултати от симулации при 1GHz

| Параметър | Единици | 0.35um CMOS | | | | 0.8um BiCMOS SiGe | | | |
|-------------------|----------------|----------------|--------|---------------|--------|-------------------|--------|---------------|--------|
| | | Идеални бобини | | Реални бобини | | Идеални бобини | | Реални бобини | |
| | | 50% | 25% | 50% | 25% | 50% | 25% | 50% | 25% |
| Изходна мощност | P_{out}, dBm | 18.438 | 10.013 | 11.44 | 11.48 | 10.021 | 10.002 | 11.53 | 11.58 |
| Консумиран ток | I_{DC}, mA | 27.26 | 4.591 | 22.03 | 15.41 | 7.824 | 4.4 | 20.42 | 15.46 |
| КПД | $\eta, \%$ | 91.43 | 78.03 | 22.6 | 32.61 | 45.87 | 81.21 | 24.85 | 33.23 |
| Хармоничен състав | SR, dBC | -11.09 | -27.26 | -15.96 | -15.93 | -27.39 | -26.99 | -19.67 | -15.91 |

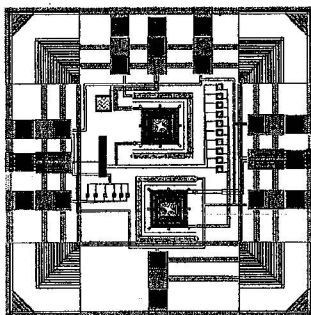
Изследването на усилвателя е направено първо с идеални бобини и всички останали елементи – транзистори и кондензатори – реални за изходна мощност 10dBm с цел настройка на режима на работа на стъпалото. Интегралните бобини, които имат големи за интегрална реализация стойности, имат нисък качествено фактор и внасят значителна загуба на мощност. След това симулациите продължават с реални бобини и съответните донастройки на режима на работа като се осигуряват около 11.5dBm изходна мощност. Това се прави поради съображението, че при топологичното проектиране на схемата наличието на паразитни капацитети и съпротивления, както и неоптималното разположение на компонентите биха внесли допълнителна загуба на мощност. Изключение прави стъпалото проектирано на 0.35 μ m CMOS технология при 50% коефициент на запълване на управляващия сигнал – в случая се цели да се покаже, че този клас усилватели могат да постигнат почти 100% КПД. По-малкият коефициент на запълване е използван за получаване на тази сравнително малка за този тип усилватели мощност при по-висок КПД, тъй като в този случай консумацията е по-ниска. Най-високият КПД е получен при 25% коефициент на запълване на входния сигнал на 0.8 μ m SiGe BiCMOS технология, поради което е реализирана топологията на този схемен вариант. Времени диаграмите на входните и изходните сигнали са показани на фиг.6 и фиг.7, а топологията на мощния усилвател клас E, реализиран като чип, може да се види на фиг.8



Фиг.6 Входен сигнал с КЗ=25% и изходен сигнал.
 $V_{DC}=2.8V$, $f=1GHz$, $R=50\Omega$



Фиг.7 Дрейнови ток и напрежение при КЗ=25% на входния сигнал, $V_{DC}=2.8V$, $f=1GHz$, $R=50\Omega$



Фиг.8 Топология на монолитен мощен усилвател клас E

V. ЗАКЛЮЧЕНИЯ

Времедиаграмите, получени след симулациите при 5MHz работна честота на мощния усилвател клас E показват, че условията, гарантиращи високият КПД на стъпалата клас E, са изпълнени. В резултат на това е постигнат КПД по-голям от 90%. Един от най-важните аспекти от проектирането на този тип усилватели е настройката на оптималния работен режим за дадената честота.

Анализът на усилвателя клас E изисква употребата на големи, за интегрална реализация, бобини. Проблемът при използването на монолитни индуктивности е техният нисък качествен фактор, който оказва влияние върху КПД на мощния усилвател като го намалява. Сравнявайки резултатите, получени на двете използвани технологии 0.8um SiGe BiCMOS и 0.35um CMOS се вижда, че по-голям КПД се получава на SiGe технология. Това се дължи на по-високото съпротивление на подложката на BiCMOS технологията, което спомага за по-малките паразити, а от там и за по-добрите характеристики на монолитните индуктивности.

Намаляването на коефициента на загъване на входния сигнал от 50% на 25% намалява консумацията на ток за една и съща изходна мощност. По този начин се увеличава КПД на мощния усилвател.

По-нататъшните изследвания са насочени към подобряване характеристиките на монолитните бобини, което е предпоставка за по-добри параметри на усилвателя на мощност, а именно: по-висок КПД, по-ниска консумация и добър хармоничен състав.

VI. ЛИТЕРАТУРА

- [1] N. O. Sokal and A. D. Sokal, "Class E High – Efficiency Power Amplifier from HF to Microwave", 1998 IEEE MTT–S International Microwave Symposium Digest, June 1998, Baltimore
- [2] N. O. Sokal, "Class E Switching Mode High-Efficiency Tuned RF/Microwave Power Amplifier: Improved Design Equations", 2000 IEEE
- [3] Jari Mäkelä and Klaus Puranen, "Class E Power Amplifier", Tampere University of Technology, 09.06.2000
- [4] Razavi, Behzad, "RF Microelectronics", Prentice Hall, 1998
- [5] John D. Cressler, "SiGe HBT Technology: A New Contender for Si Based RF and Microwave Circuit Application", IEEE Transactions On Microwave Theory And Techniques, -vol.46, No.5, may 1998
- [6] Steve Hung-Lung Tu and Chris Toumazou, "Design of low-distortion CMOS class E Power Amplifier for Wireless Communications", IEEE 1999
- [7] Krauss, Herbert, "Solid State Radio Engineering", John Wiley & Sons, 1980
- [8] Cripps, Steve, "RF Power Amplifiers for Wireless Communications", ARTECH HOUSE, 1999
- [9] Geiger, "VLSI Design Techniques for Analog and Digital Circuits"