

## “ПРИЛОЖЕНИЕ НА ПРОГРАМИРУЕМИ СТРУКТУРИ ПРИ ПРОЕКТИРАНЕТО В ЕЛЕКТРОНИКАТА”

инж. Благомир Росенъв Дончев, д-р Марин Христов Христов, гл. ас. Венцислав  
Драганов Маноев\*

Технически университет – София, ECAD Lab.

\*Технически университет – София

donchev@ecad.vmei.acad.bg

*Abstract: Programmable Structures Application in the Electronic Design. With increasing the complexity of up-to-day devices, usage of more and more standard integrated circuits is required. In this way system's design time is prolonged and big and complicated printed circuit boards are designed which cause to considerable expenses and reliability problems. This is the reason specialized integrated circuits, directed to particular applications - ASIC, to be designed.*

*As an example is given the design of two-input multimeter (MB-1) based on programmable logic. On 4 digit dynamically managed display is visualized the current measuring result and a light-emitting-diode display controls device's operation. 6 buttons carry out the operation. As a reference source is used external crystal oscillator with 20 MHz operating frequency.*

Най-общо цифровите интегрални схеми могат да се разделят според предназначението си на стандартни и специализирани.

Към стандартните се отнасят схеми, произвеждани в масови серии, които имат универсално предназначение.

Типичен пример за ASIC са програмируемите схеми. Основно те могат да се разделят на две групи:

1. Програмируеми логически елементи (PLD) – полуфабрикати, съставени от елементи “И-ИЛИ” и входно-изходни клетки, които могат да се конфигурират, за да изпълняват конкретна логическа функция.

2. Електрически програмируеми матрични кристали (FPGA) – схеми с матрична структура, имащи по-сложна архитектура на изграждащия ги логически блок и ресурси за осъществяване на връзките между отделните блокове.

Основни предимства на програмируемите схеми са:

- Намаляване времето за проектиране на системата като цяло;
- По-големи функционални възможности на системата при по-ниска цена;
- Намалява се необходимата площ на печатната платка;

Програмирането на тези чипове днес е много опростено. То дава възможност на крайния потребител да профилира сам функционалното направление на своето изделие. По този начин се постига неколккратно съкращаване на

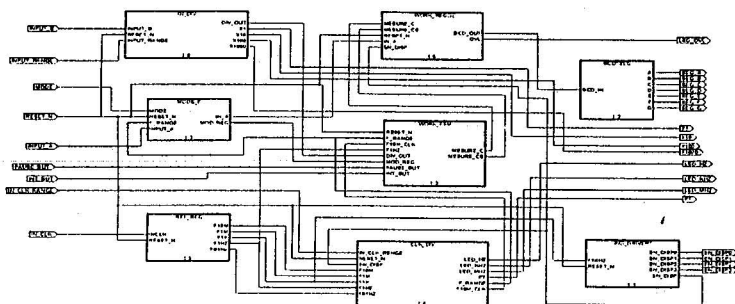
времето за проектиране, допълнено с възможността за многократно препрограмиране. Отпада нуждата от сложни и времеемни производствени тествания.

Методите за въвеждане на входната информация са два:

1. Графичен - Дава възможност на проектанта, използвайки библиотеки от готови елементи, да изгради своята схема. В практиката този подход се нарича проектиране отдолу нагоре (down-top).

2. Чрез поведенческо описание от високо ниво (HDL езици) - Моделът на проектираната схема се описва чрез езици от високо ниво - проектиране отгоре надолу (top-down).

Като пример, илюстриращ приложението на този тип логика, е разработката на мултиметър, проектиран с помощта на език за поведенческо описание от високо ниво - VHDL. Неговата блокова схема е показана на фиг.1



Фиг.1 bcd7seg - преобразовател на bcd в 7 сегментен код; in\_div - входен делител; ind\_driver - логика за динамично управление на индикацията; ref\_reg - делител на опорната честота; work\_reg - работен брояч; clk\_div - тактов делител; work\_fsm - блок за синхронизация, mode - блок за задаване на режима.

Основно процесът на измерване в мултиметъра се разделя на два етапа: *етап на преброяване на импулсите* и *етап на визуализация на резултата*. Общо за всички режими на работа може да се каже че:  $T_{дисп.} = 2 * T_{изм.}$ , където  $T_{изм.}$  е времето, за което се извършва измерването, а  $T_{дисп.}$  - време за визуализация.

Визуализацията се реализира върху 4 разряден светодиоден дисплей, който се управлява динамично от блок *ind\_driver*. За да се избегне така нареченото "плаване" върху дисплея, управлението осигурява моменти между "засветването" на отделните разряди, при които индикацията е "изгасена" напълно. Преодоляването на усещането за "трепене" на индицираната стойност се избягва, избирайки честота на опресняване, по-голяма от 100 Hz/разряд.

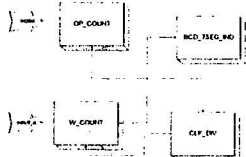
Тактовата честота, по която се синхронизира целият дизайн, се генерира от външен кварцов генератор (20 MHz). Работният режим, обхватът на измерване и коефициентът на деление за входния сигнал се задават чрез бутони от

оператора. Във възможностите на уреда е предвиден и режим на “Памет”, при който на дисплея се индицира последно измерената стойност.

В случаите, при които има преплъване на работните регистри, се подава сигнал за преплъване (допълнителна светодиодна индикация).

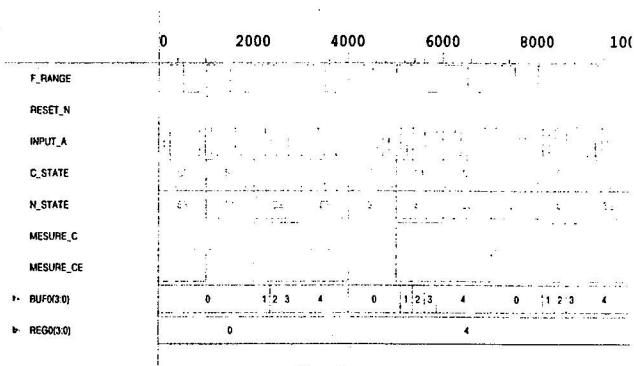
МВ-1 има възможност за работа в 6 режима:

Честотомер (фиг.2) – Измерва се честотата на сигнала, подаден на вход *input\_a*. Чрез управляваща логика сигналът се подава на входа на блок *w\_count*. Там за време, определено от блок *clk\_div* се преброяват импулсите, постъпили на неговия вход. След отпадане на разрешението за работа на блок *w\_count*, резултатът се изпраща към преобразователя на код-*bcd7seg*.



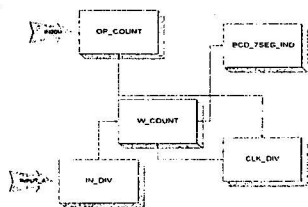
Фиг.2

Симулационните резултати за този режим на работа са показани на фиг.3



Фиг.3

- Периодометър (фиг.4) - В този случай сигналът, чийто период ще се измерва, се подава към входния делител *in\_div* (там той има



Фиг.4

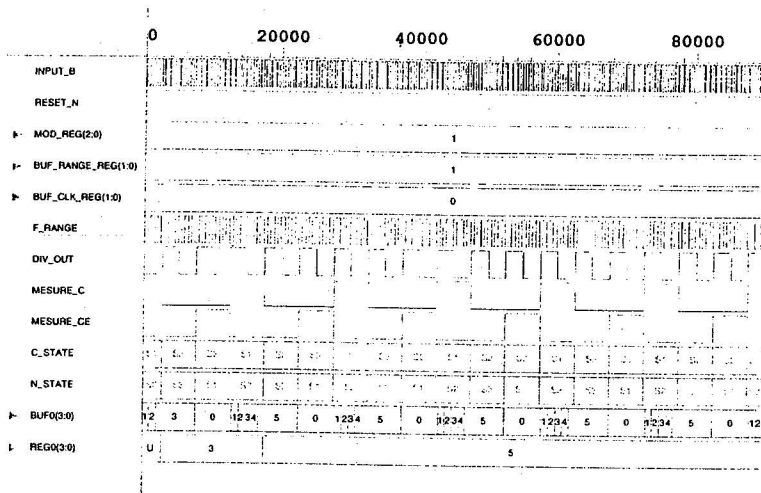
възможност да се дели на 1, 10, 100, 1000), след което се използва за формиране на сигнала за разрешение на блок *w\_count*. Към входа на блок *w\_count* се подават импулси с честота, определена от блок *clk\_div*. Тази честота в случая може да се нарече честота на

дискретизация. Тя определя грешката при определянето на периода. Зависимостта, по която се определя крайния резултат е:

$$T_{изм} = N_{обхв} / N_{имд}, \text{ където}$$

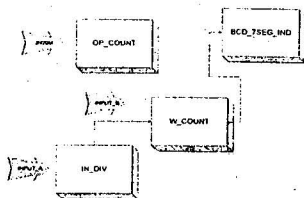
$T_{изм}$  – измерена стойност за периода;  
 $N_{обхв}$  – зададен обхват на входния делител;  
 $N_{имд}$  – стойност, получена при преброяване на импулсите;

На фиг.5 са показани симулационните резултати за този режим на работа.



Фиг.5

- Фазометър (фиг.6) - При този режим на работа се осъществява измерване на фазова разлика между сигнали, подавани на входове *input\_a* и *input\_b*.



Фиг.6

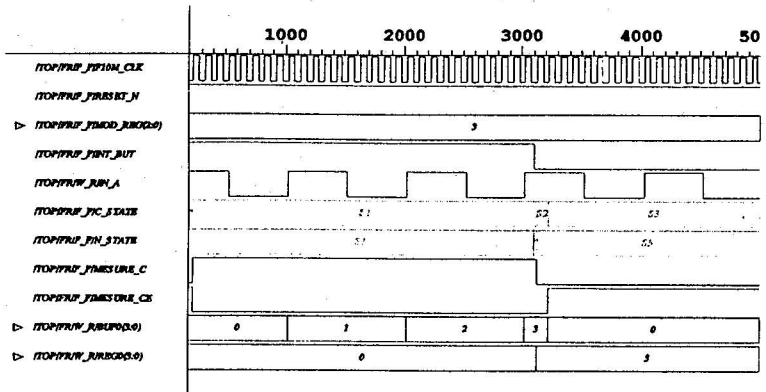
Сигналят, подаван към вход *input\_a* се свързва директно с входа на блок *w\_count*. Другият сигнал (подаван на вход *input\_b*), минавайки през входния делител, се използва за формиране на сигнала за разрешение на блок *w\_count*.

За получаване на коректни резултати при работа в този режим е необходимо сигналът, който се подава към входа на блок *w\_count*, да бъде този с по-високата честота от двата.

Резултатът от измерването се определя от формулата:



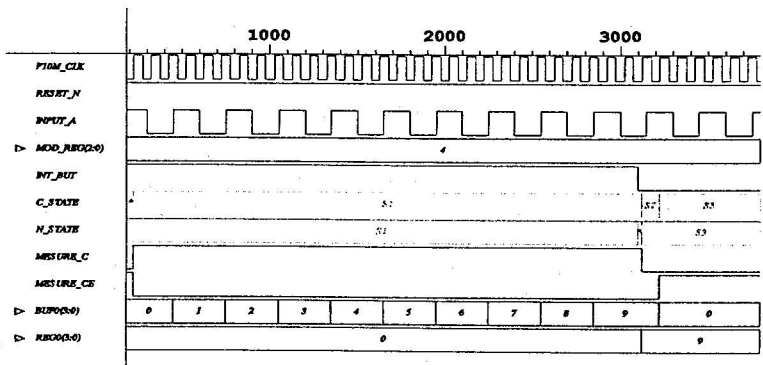
Симулационните резултати са показани на фиг. 9



Фиг.9

- Брояч на импулси (фиг.2) – В този режим на работа, устройството отброява импулсите постъпващи на вход *input b*. През входния делител измервания сигнал постъпва на входа на блок *w\_count*. Там той бива отброяван за време, определено от оператора (чрез бутон *int\_but*). Работният обхват е  $0-10^6$  имп.

Симулационните резултати са показани на фиг.10



Фиг.10

Кратко заключение:

В работата е демонстриран top-down метод за проектиране на CPLD схеми, с използване на VHDL описание и следващи симулации.

Използвана литература:

- [1] Stanley Mazor, Patricia Langstraat, A guide to VHDL, 1993.
- [2] AppLinx, Xilinx Data Base CD ROM, 1999.
- [3] Т.Василева, Автоматизация на проектирането на специализирани интегрални схеми, 1997.