

СХЕМОТЕХНИЧНО И ТОПОЛОГИЧНО ПРОЕКТИРАНЕ НА CAN КОНТРОЛЕР

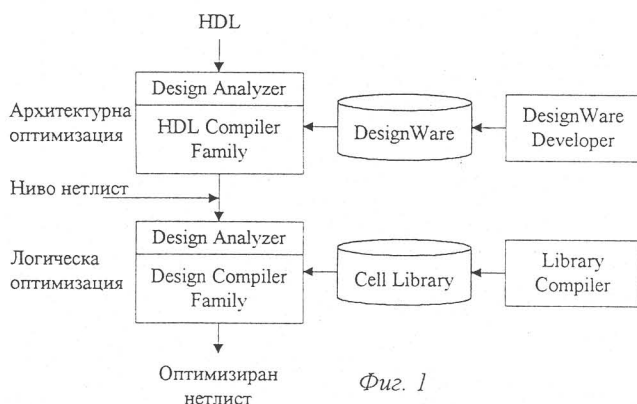
Инж. Николай Георгиев Банков, инж. Росен Иванов Радонов, доц. д-р инж. Марин Христов Христов - ТУ - София

Настоящият доклад разглежда схемотехничното и топологичното проектиране по метода на стандартните клетки на CAN контролер на базата на готовото логическо VHDL описание. Проектът е реализиран с помощта на системите за автоматизирано проектиране CADENCE и Synopsys като е демонстриран подхода "top-down". За топологията е използвана технологията M1ETEC 2 μm CMOS.

Синтез на електрическата схема на CAN контролера (архитектурен синтез)

Архитектурният синтез е процес на трансформиране от ниво на логическо описание в ниво нетлист. Синтезът на нетлиста е извършен с модула на Synopsys Design Analyzer. Той има следната структура (фиг. 1):

- *Design Analyzer* – графичен интерфейс, базиран на менюта, за достъп до програмите за синтез на Synopsys;



- *HDL Compiler Family* – компилатори за оптимизация на Verilog и VHDL описания на архитектурно ниво. Проектът се оптимизира преди нетлиста от гейтовото ниво да бъде подадено към Design Compiler;
- *DesignWare* – библиотека от компоненти от операционното ниво като

суматори и мултиплексори. Компилаторът на HDL избира верния тип компоненти, отговарящи на описания в HDL сорса;

- *Design Compiler Family* – съдържа средства за оптимизиране на проекта на ниво логически елемент. Дизайнът може да се дефинира в различни HDL формати и различни нетлист формати. Оптимизацията изготвя нетлист на ниво логически елемент чрез използване на клетките, избрани библиотеката с клетки;

- *Cell Library* – библиотека от клетки като И и НЕ, използвани от Design Compiler;
 - *Library Compiler* – програма за създаване на библиотеки от клетки.
- Алгоритъмът на процеса на синтезиране е показан на фиг. 2.



Фиг. 2.

брой гейтове като се запази действието на схемата. Design Compiler оптимизира логическия проект за бързодействие, площ, надеждност. За всички тези атрибути се задават желаните параметри. Задават се, също така, закъснения на фронтите на сигналите, максимална честота и др.

Така синтезираната схема може да бъде записана в различен формат нетлист. За симулацията на това ниво се използва формат VHDL, за да може да се използва файлът с входните въздействия от симулацията на ниво логическо описание. За понататъшния синтез в CADENCE е подходящ нетлист във формат Verilog.

За да може да бъде прочетен дизайна, той трябва първо да се компилира и да се създаде първичния нетлист. При тази операция логическите конструкции от VHDL описанието се заменят с компоненти от операторното ниво като суматори и мултиплексори. Компиляторът на HDL избира верния тип компоненти, отговарящи на описаните в сорса. Те се съдържат в библиотеката smos24Cells.

При първичното изработване на нетлиста целта е да се постигне изпълнение на логическите функции. При оптимизацията първоначално избраните компоненти се заместват с други, пак от библиотеката smos24Cells, така че да се постигне минимален

Създаване на електрическата схема на CAN контролера

Електрическата схема на CAN контролера е създадена автоматично в CADENCE на базата на синтезираното Verilog описание (нетлист) на елементите и връзките между тях. Използването на този формат се наложи, защото CADENCE, с който е работено не разполага с транслатор за VHDL, а за Verilog – това е транслатора Verilog In.

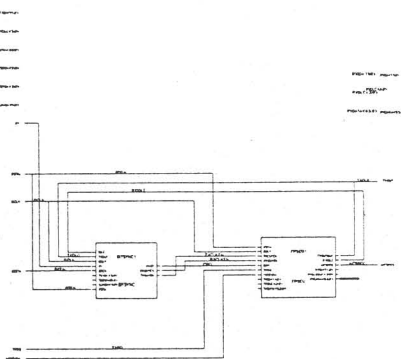
При транслирането на нетлиста от Synopsys в CADENCE, елементите от библиотеката smos24Cells се заместват със съответстващите им елементи от библиотеката на MIETEC 2 μm CMOS. В случай, че някои елементи не могат да бъдат разпознати от транслатора графичното изображение (схематика) не се създава. Тогава в описанието на елементите и връзките между тях (нетлиста) тези елементи трябва да се въведат с имената на съответстващите им елементи от библиотеката MIETEC или да се изтрият и след създаването на схематика да се добавят ръчно в схемния редактор на Design Kit. Тук се добавят и периферните клетки, но, понеже в проекта са разработени двата основни блока от CAN контролера – блокът за обработка на фрейма и блокът за синхронизация, а не пълната схема, те липсват.

В Design Kit, интерфейса на CADENCE за работа с технологията MIETEC, данните са организирани в библиотеки. В тях се съдържа цялата информация за:

- слоеве (Layers);
- правила за съответния процес;
- клетки (Cells).

Структурата на библиотеките е следната:

- *Cells* – клетки;
- *CellViews* – способности за представяне на клетките;
- *Version* – версия.



Фиг. 3. CAN – топ-ниво.

Топологично проектиране на CAN контролера

Разработването и реализирането на проекти на базата на стандартни клетки чрез CADENCE се извършва на основата на стандартна CMOS N-дjob технология и в съответствие със следните основни технологични, топологични и схемни изисквания:

Технологичен ред:

- Създаване на N-дjob.
- Създаване на активна област (израстване на тънък окис).
- P+ имплантация.
- Нанасяне на слой с първи полисилиций;

- P+ дифузия.
- N+ дифузия.
- Нанасяне на слой с втори полисилиций (маската е избиращелна и се прилага само, когато в схемата присъстват кондензатори, чиито плочи са на първи и втори слой полисилиций, или се заменя с маска за високоомен полисилиций за изграждане на високоомни съпротивления - също избиращелно).
- Отваряне на контакти.
- Първи слой метализация.
- Пасивация (изолация между двата метални слоя).
- Отваряне на контакти към първия метален слой.
- Втори слой метализация.

Параметри на слоевете:

- основен материал на подложката: Si p-тип, концентрация $1.35 \cdot 10^{-15} \text{ cm}^{-3}$;
- дебелина на активния окис: 42 nm;
- концентрация на примесите в джоба $9.1 \cdot 10^{-15} \text{ cm}^{-3}$;
- листово съпротивление на N+ дифузията 35 W/Ω;
- листово съпротивление на P+ дифузията 50 W/Ω;
- листово съпротивление на N-джоба 2100 W/Ω;
- листово съпротивление на първи полисилиций 22 W/Ω;
- листово съпротивление на втори полисилиций 20 W/Ω;
- листово съпротивление на метал 1 25 mW/□;
- листово съпротивление на високоомен полисилиций 2k W/Ω;
- минимална геометрична дължина на канала на активните транзистори: L = 2 μm;
- минимална стъпка на първи метален слой 4 μm;
- минимална стъпка на втори метален слой 5 μm;
- прагово напрежение на p-транзистора: $U_{tr} = -0.9 \text{ V}$;
- прагово напрежение на n-транзистора: $U_{tr} = 0.9 \text{ V}$.

Топологичното проектиране на цифрови схеми в CADENCE е напълно автоматизирано от началното разполагане на клетките върху чипа до крайното му опроводяване. То се осъществява от модула на CADENCE Cell Ensemble.

Топологичното проектиране се извършва чрез следните операции:

- инициализация на площта на чипа;
- разполагане на клетките;
- опроводяване.

Инициализация на площта на чипа

От схемата с логическите елементи чрез модула PRflatten се извлича автоматично информацията за връзките между стандартните клетки, които имат абстрактно представяне при формиране на топологията. Понеже не се проектира

топологията на цялата схема, а на двата основни блока от нея – блокът за обработка на фрейма и блокът за синхронизация, - не са зададени периферни клетки, съответно не се и инициализира площ за тях, а само за клетките от ядрото.

Разполагане на клетките

Разполагането на клетките става автоматично като системата следи за спазването на правилата, които са и зададени.

Опроводяване

Първо се създават на канали за опроводяване. Тук има възможност да се окаже дали те да бъдат само хоризонтални, само вертикални или автоматично да се изберат и двата типа като модулът сам определя къде да бъдат хоризонтални и къде вертикални. В проекта е използвано автоматичното определяне на вида канали.

След това се прави така нареченото модифициране на връзките. При него двете захранвания (VDD и VSS) се разделят на захранващ пръстен и шини за захранване на клетките от ядрото.

Следва глобално опроводяване, при което на захранванията се дава висок приоритет на опроводяване (по възможност да бъдат само на едно метално ниво, или, ако това е невъзможно, да има минимален брой преходи между двете метализационни нива) и автоматично се определят посоките им, напр. отгоре и надясно за VDD и отдолу и наляво за VSS. Тук се определят пътищата, по които ще минават всички шини, свързващи отделните клетки в чипа.

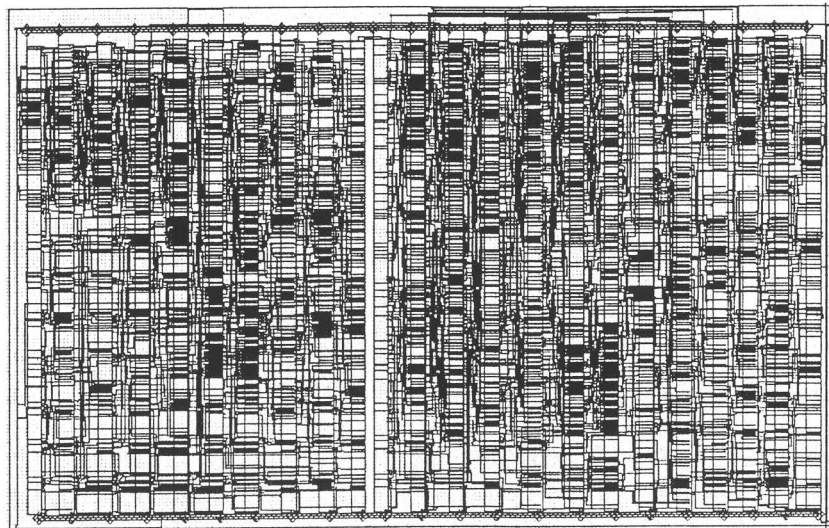
Последната стъпка е детайлното опроводяване. Тук се създават същинските метални връзки между елементите на чипа. Има възможност да се опроводи ръчно отделен канал, което означава да се "влезе" в него и да се променят шините със съществуващия за тази цел редактор на шини.

На фигури 4 и 5 са показани проектираните топологиите на блоковете за обработка на фрейма и за синхронизацията.

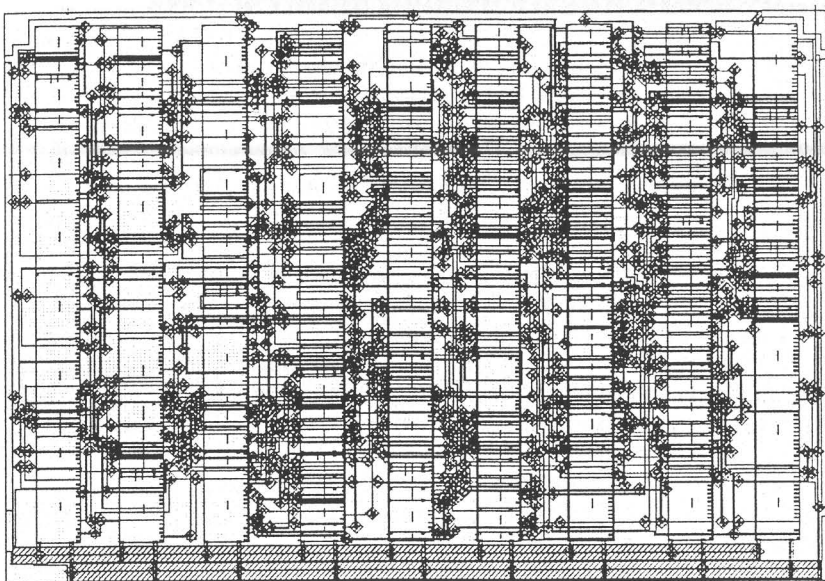
Резултатите от симулацията показаха правилната работа на контролера.

Библиография

1. Василева Т., М. Горанова. Въведение в системата за проектиране на ИС CADENCE OPUS. С., Технически университет, 1994 г.
2. MIETEC Standart Cell User Manual 2.0 un. N. V. MIETEC, 1989.
3. Synopsys Tutorial – VSS Family Tutorial.
4. Synopsys Tutorial – Design Compiler Tutorial.
5. Willoughby, Mark. Design Framework 2. Schematic Capture and Simulation. Ruthford Appleton Laboratory, 1993
6. Willoughby, Mark. Design Framework 2. Automatic Place and Route. Ruthford Appleton Laboratory, 1993



Фиг. 4. Блок за обработка на фрейма.



Фиг. 5. Блок за синхронизация.