

Възможности на CMOS технологиите за създаване на прецизни операционни усилватели

асп. инж. Боянка Маринова Николова
ТУ - София; ФЕТТ; кат. „Електронна техника“

Abstract - The present paper summarized approaches for improving the precision of CMOS analog integrated circuits. Review of new productions of leaders company and some investigations are given. Modern strategies for further development of CMOS technologies are describe.

The aim of this presentation is to analyze the main factors provoke operational amplifiers offset. Methods for design of low offset devices are development. Obtained equations and simulating characteristics give relations between technology tolerances and offset of the design circuit.

Въведение

CMOS операционните усилватели са обект на засилен интерес от страна на конструкторите и производителите на интегрални схеми. Търсят се пътища за отстраняване на основните им недостатъци спрямо биполарните технологии, а именно голямо входно напрежение на несиметрия и ниско бързодействие.

Кратък преглед на някои основни публикации [1, 2, 3] относно CMOS ОУ както и на последните съобщения по INTERNET за усвоени производства от фирми налагащи стандарта водят до констатацията, че в литературата липсва цялостна оценка за технологичните толеранси, влияещи върху напрежението на несиметрия, както и описания на конструктивно-топологичните мерки за намаляването му. Целта на изложените в настоящия доклад изследвания е да се обобщат методите за намаляване на офсета на CMOS ОУ, както и да се анализират подробно факторите, които го определят.

I. Прецизни CMOS операционни усилватели. Тенденции за развитие.

В таблица 1 са дадени основните параметри на типични CMOS ОУ на водещи световни фирми: MAXIM (MAX), National Semiconductor (NS), Advanced Linear Devices (ALD), Analog Devices (AD), Burr-Brown (BB), Harris (H). От анализа й могат да се направят няколко извода:

- 1) Най-общо ОУ могат да се разделят на следните типове: прецизни ($U_{io} \leq 300 \mu V$), маломощни ($I_{DD} \leq 500 \mu A$), високочестотни или видео усилватели ($UGB \geq 10 MHz$) и с максимален размах на изходното напрежение (rail-to-rail).
- 2) По правило входните токове са малки (от порядъка на pA) и се определят от качествата на реално използваните технологии.
- 3) Високо прецизни усилватели са осъществени основно чрез използване на схеми с автоматична корекция на нулата (Chopper Stabilized) и имат напрежения на несиметрия от порядъка на микроволти (до $0,7 \mu V$).
- 4) Усилването на повечето от ОУ е голямо 100-120dB (до 150dB), като изключение правят усилватели, чиито честотни ленти са по-широки.
- 5) Консумираната мощност е малка (от порядъка на mA), което е типично за CMOS интегралните схеми и е една от основните предпоставки за широкото им използване.

Основното заключение е, че без да се отчита бързодействието, CMOS технологиите се оказват най-привлекателното средство за доближаване до идеята за „идеален“ операционен усилвател. Тогава в близко бъдеще тази техника би се представлявала от значителна по-малка номенклатура

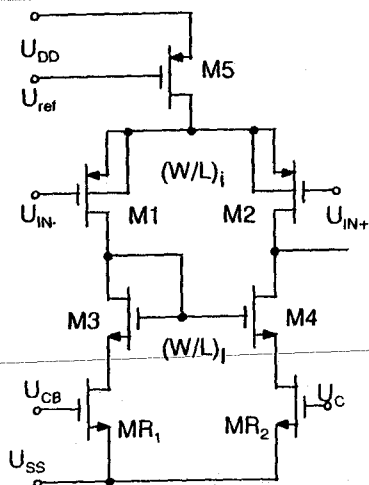
Таблица 1.

Фирма	Номер	Описание	U _ю , V	TCU _ю , V/°C	I _в , A	I _ю , A	U _{out} , V	I _{до} , A	A _ю , dB	UGB, Hz
MAX	MAX430	±15V Chopper Stabilized	2 μ	0,02 μ	35 p	50 p	±14,5 ¹⁾	1,3 m	150	500 k
MAX	ICL7650	Chopper Stabilized	1 μ	50 μ	100p	0,5 p	±4,85 ²⁾	2 m	134	2 M
MAX	ICL7652	Chopper Stabilized	±0,7 μ	0,01 μ	15 p	25 p	±4,85 ²⁾	2 m	150	0,45M
MAX	MAX420	±15V Chopper Stabilized	±1 μ	0,02 μ	10 p	15 p	±14,5 ¹⁾	1,3 m	150	500 k
MAX	MAX457	70MHz ±5V Video Amplifier	±2 m	20 μ	15 n	-	±2,5 ²⁾	39 m	50	50 M
MAX	MAX4162	Micropower, Rail-to-Rail	±0,5m	2 μ	1 p	-	+4,95 ⁴⁾	25 μ	120	200 k
NS	LMC6084	Precision, Rail-to-Rail	150 μ	1 μ	0,01p	5 f	+4,87 ⁴⁾	0,45m	190	1,3 M
NS	LMC6064	Precision, Micropower	100 μ	1 μ	0,01p	5 f	+4,99 ⁴⁾	16 μ	209	100 k
NS	LMC6492	Rail-to-Rail	0,11m	1 μ	0,15p	0,075p	±4,9 ²⁾	0,5 m	150	1,5 M
NS	LMC7111	Tiny, Rail-to-Rail	0,9 m	2 μ	1 p	0,5 p	+4,9 ⁴⁾	25 μ	162	50 k
ADL	ADL1706	Micropower, Rail-to-Rail	2 m	7 μ	0,1 p	0,1 p	±4,99 ²⁾	120 μ	107	200 k
ADL	ADL1704	Rail-to-Rail	1 m	5 μ	1 p	1 p	±4,95 ²⁾	10 m	87	2,1 M
ADL	ADL1701	Micropower, Rail-to-Rail	2 m	5 μ	1 p	1 p	±2,48 ⁵⁾	480 μ	120	700 k
ADL	ADL1711	Micropower, Precision	0,25m	5 μ	0,01 p	0,01 p	±2,48 ⁵⁾	200 μ	120	700 k
ADL	ADL1703	Precision	0,9m	7 μ	1 p	1 p	±4,9 ²⁾	1,1 m	116	1,7 M
AD	OP150	Single supply, Rail-to-Rail	5 m	1,5 μ	30 p	0,1 p	+4,95 ⁴⁾	550 μ	60	4 M
AD	OP196	Micropower, Precision	35 μ	1,5 μ	±10 n	±1,5 n	+4,1 ⁴⁾	45 μ	140	350 k
BB	OPA336	Single supply, Micropower	±60μ	±1,5 μ	±1 p	±1 p	+4,3 ⁴⁾	20 μ	106	100 k
H	ICL7650S	Super Chopper Stabilized	0,7 μ	0,02 μ	4 p	8 p	±4,85 ²⁾	2 m	150	2 M
H	ICL7621A	Low Power	2 m	10 μ	1 p	0,5 p	±4,9 ²⁾	0,1 m	102	480 k

Забелжки: ¹⁾ U_{supp} = ±15V;²⁾ U_{supp} = ±5V;³⁾ U_{supp} = ±12V;⁴⁾ U_{supp} = +5V;⁵⁾ U_{supp} = ±2,5V;

операционни усилватели, но всеки представител с подобрени параметри и значително разширени сфери на приложенияя.

II. Основни фактори, определящи напрежението на несиметрия.



Фиг. 1

При номиналното проектиране на CMOS ОУ е възможно измерване на елементите в схемата, при което систематическия офсет е нула. Във всички случаи на реализиране в производството обаче поради допуски в конструктивно-технологичните параметри на съставлящите схемата елементи, които пораждат неизбежен офсет с изявен случаен характер. Основните фактори, определящи този офсет са несиметриите в транзисторите в двата клона на входното диференциално стъпало. За по голяма конкретност при анализа е избран стандартен CMOS диференциален усилвател показан на фиг. 1 като направените изводи са валидни и за другите типове схеми.

Формулата, даваща зависимостта на офсата от несиметрията в двата клона на диференциалното стъпало е:

$$(1) U_{io} = \varepsilon_{U_{Tn}} \cdot U_{Tn} + \varepsilon_{U_{Tp}} \cdot U_{Tp} \cdot \sqrt{\frac{k'_i \cdot (W/L)_i}{k'_i \cdot (W/L)_i} + \frac{1}{2}} \cdot \sqrt{\frac{I_0/2}{k'_i \cdot (W/L)_i}} \cdot (\varepsilon_{(W/L)_i} - \varepsilon_{(W/L)_i})$$

където: $\varepsilon_{U_{Tn}} = \frac{|U_{T3}| - |U_{T4}|}{|U_{Tn}|}$ и $\varepsilon_{(W/L)_i} = \frac{(W/L)_3 - (W/L)_4}{(W/L)_i}$ са допуските

определящи нееднаквостите на товарните транзистори, като аналогични са формулите и за входните транзистори.

Температурният дрейф на напрежението на несиметрия се оценява, като формула (1) се диференцира спрямо температурата:

$$(2) TCU_{io} = \frac{\partial U_{io}}{\partial T} = \frac{0,75}{T} \cdot \sqrt{\frac{I_0/2}{k'_i \cdot (W/L)_i}} \cdot (\varepsilon_{(W/L)_i} - \varepsilon_{(W/L)_i}) - \alpha \cdot \varepsilon_{U_{Tn}}$$

III. Методи за намаляване на напрежението на несиметрия.

Основните методи за намаляване на офсата на ОУ са:

- 1) схемотехнични;
- 2) подходящи режими на работа на транзисторите;
- 3) топологично-конструктивни;
- 4) използване на схеми с автоматична корекция на нулата.

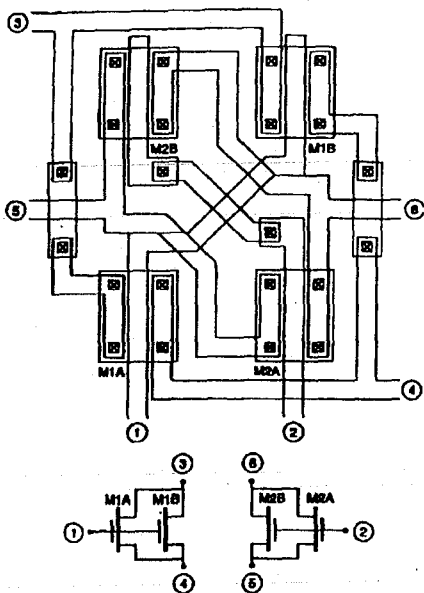
Схемотехничните методи са свързани с избор на подходяща схема, която при допускане, че технологията няма толеранси и грешки, да няма напрежение на несиметрия.

Вторите методи се базират на избор на подходящи работни токове във входното диференциално стъпало с цел намаляване температурния дрейф на офсата, което се обуславя от наличието на термостабилна точка в проходните характеристики на MOS транзистора. Обикновено тази точка е при много малки дрейнови токове, като това не винаги е удобно да се използва на практика [4].

Топологично-конструктивните методи най-общо са свързани с избора на правилна хоризонтална геометрия на транзисторите в схемата. Тази задача има два аспекта. Първо трябва да се реши въпроса с избора на размери на каналите на транзисторите (W/L). Това е многокритерийна задача, при която се търси оптимално компромисно решение. Намаляването на технологичните толеранси в хоризонталната топология обикновено се свързва с реализирането на по-големи канали. От друга страна, това води до увеличаване на необходимата площ при проектирането на транзистори с по-голяма стръмност g_m , като също така се затруднява и близкото им разполагане.

Друго условие за минимизиране на случайния офсет е намаляване влиянието на ефектите от модулация на дължината на канала. На практика това се осъществява чрез избор на еднакви дължини за всички транзистори в схемата.

Вторият аспект на задачата е свързан с разполагане на транзисторите



Фиг. 2

върху чипа. Основното изискване за еднаквост на транзисторите във входното диференциално стъпало е те да са разположени максимално близко един до друг, което може да се реализира чрез подходяща хоризонтална топология на схемата - фиг. 2.

Най-често при проектиране на прецизни CMOS ОУ се използват схеми с външна корекция на нулата. Предимствата на тези методи са, че независимо от точността на използваната технология може да се реализира схема с много малко напрежение на несиметрия. Недостатъците са необходимостта от допълнително усложняване на схемата, а оттам увеличаване на заеманата площ и консумираната мощност.

Съществуват два метода основани на този принцип. Първият от тях е по традиционната схема с кондензатор

за запомняне на напрежението на несиметрия, което мащабирано от настройващ ОУ с определен коефициент на усилване, се подава към

специален вход на основния ОУ [5]. Недостатък на тази техника е, че пълното компенсиране е ограничено поради инжекцията на заряд през неидеалните аналогови ключове. Типични представители, работещи по този метод, са прецизните CMOS ОУ MAX430C на фирмата MAXIM и ICL7650S на фирмата Harris.

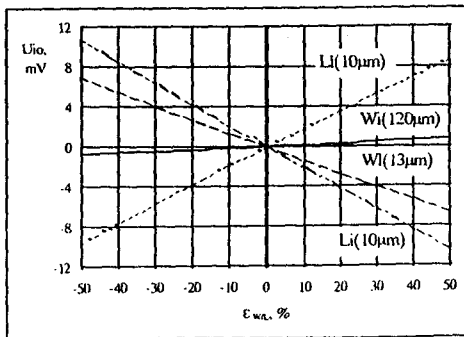
Друг метод с автоматична корекция на нулата е описан в литература [1]. При него с помощта на брояч, ЦАП и подходяща цифрова логика на входа за корекция на основния ОУ се подава стъпково променящо се напрежение в посока намаляване на напрежението на несиметрия. Процедурата се повтаря докато изходното напрежение на операционния усилвател стане нула, което се установява с помощта на компаратор.

Същността и на двата метода е в изравняване на токовете в клоните на диференциалното стъпало на ОУ чрез подаване на подходящ потенциал на входовете му за корекция (U_{CB} и U_C на фиг. 1). За тази цел се използва променлив резистор реализиран чрез MOS транзистор (MR_1 и MR_2) със стойност: $1/R \approx \mu \cdot C_{OX} \cdot (W/L) \cdot (U_{GS} - U_T)$. Трябва да се отбележи, че размерите на MR_1 и MR_2 трябва да се избират в зависимост от очаквания обхват за компенсация на напрежението на несиметрия на операционния усилвател.

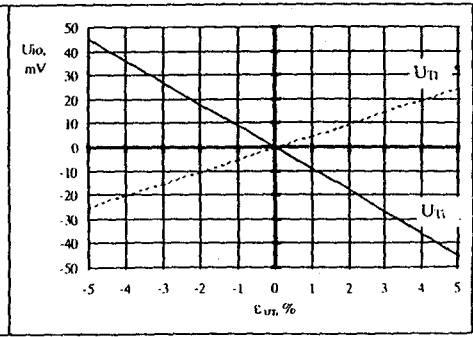
IV. Изследване и анализ на случайния офсет във входните диференциални стъпала.

Изследвано е влиянието на толеранса на технологията върху офсета, както и температурния му дрейф. Анализът е извършен върху ОУ, проектиран за 2 μ m CMOS технология, съобразно горните конструктивно-топологични изисквания. Симулациите са осъществени в интегрираната среда за автоматизирано проектиране Desing Center.

Толерансите на размерите на транзисторите се задават като процентна част от минималния размер на използваната технология. Получените резултати са изобразени графично на фиг. 3. Влиянието на нееднаквостта в праговите напрежения е изследвано по аналогичен начин, като данните от симулациите са показани на фиг. 4.



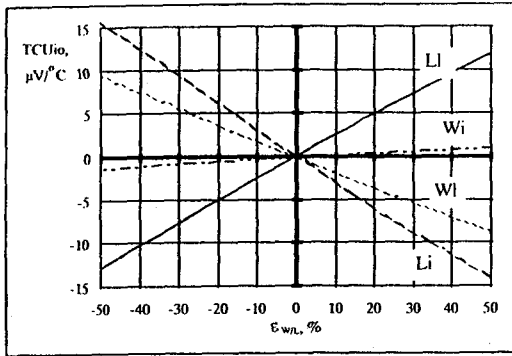
Фиг. 3



Фиг. 4

От формула (1) и фиг. 3 и 4 се вижда, че по-голям офсет внасят разликите в праговите напрежения отколкото толерансите в геометричните размери. Друг важен извод е, че напрежението на несиметрия намалява, ако технологичните

толеранси на входните и на товарните транзистори са в една посока. На практика това означава, че минимален офсет ще има, ако четирите транзистора (M_1 , M_2 , M_3 и M_4) са максимално близко един до друг т. е. с геометрия подобна на тази от фиг. 2.



Фиг. 5

На фиг. 5 са дадени резултати от симулациите за температурния дрейф на офсата. От тях се вижда, че когато в схемата няма моделиране на случайното напрежение на несиметрия, то температурната му зависимост не може да се изследва коректно. От израз (2) и фиг. 5 се заключава, че има корелация между офсата на CMOS ОУ и неговият температурен дрейф. Това означава, че независимо

от метода за външна корекция, ако проектираният усилвател има голям първоначален офсет U_0 , то и температурният коефициент TCU_{U_0} ще бъде голям.

Заключение

Непрекъснато се увеличава броя на фирмите производители на CMOS аналогови интегрални схеми поради несъмнените им предимства. В настоящия доклад е направена класификация на съвременните ОУ, като с нейна помощ са очертани и тенденциите в развитието на CMOS технологиите.

В изложението са обобщени факторите, влияещи върху напрежението на несиметрия на CMOS операционни усилватели както и са систематизирани основните методи за намаляването му. Дадените изрази и резултатите от направените симулации дават директна връзка между точността на използваната технология и офсата на проектираната схема. Направени са конкретни предложения за топологичното проектиране на диференциални стъпала за прецизни CMOS ОУ.

Използвана литература

1. Chong-Gun Yu, Randall L. Geiger, „An Automatic Offset Compensation Scheme with Ping-Pong Control for CMOS Operational Amplifiers“, IEEE J. Solid-State Circ., vol. 29, no. 5, pp. 601-610, May 1994.
2. Ron Hogervorst et al., „A Compact Power - Efficient 3 V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries“, IEEE J. Solid-State Circ., vol. 29, no. 12, pp. 1505-1513, Dec. 1994.
3. Wen-Chung S. Wu et al., „Digital-Compatible High-Performance Operational Amplifier with Rail-to-Rail Input and Output Ranges“, IEEE J. Solid-State Circ., vol. 29, no. 1, pp. 63-66, January 1994.
4. Маллер, Р., Т. Кейминс, „Элементы интегральных схем“, М., Мир, 1989.
5. Хоровиц, П., У. Хилл, „Искусство схемотехники“, М., Мир, 1993.
6. Gregorian, R., G. C. Temes, „Analog MOS Integrated Circuits for Signal Processing“, John Wiley & Sons, 1986.