

БЪРЗОДЕЙСТВАЩА СХЕМА СЛЕДЕНЕ-ЗАПОМНЯНЕ С ТРАНЗИСТОРЕН МОСТ.

Ангел Николаев Попов, Емил Димитров Манолов
Технически Университет - София

A High-Speed Transistor-Bridge Track-and-Hold Circuit. The conventional high-speed diode-bridge track-and-hold (T/H) circuit features some drawbacks: low-input impedance, limited slew-rate (SR) and input-output voltage swing, high power consumption. To overcome the problems in this paper is proposed and analyzed a new T/H circuit in which the diodes of the bridge are replaced by transistors working as emitter followers and the bootstrap loop is splitted up by two unity-gain buffers. To prove the advantages of the new circuit, PSPICE simulation using real transistor parameters was carried out. The waveforms of processing a 5 MHz signal with 4V swing at sampling frequency of 80 MHz are demonstrated. The results show SR higher than 1400 V/ μ s and 10-20 times power saving compared to the conventional circuit.

1. Увод.

Схемите за следене-запомняне са широко използвани в аналогово-цифровите и цифрово-аналоговите преобразуватели. При тях, в режим на следене, изходният сигнал следва входния, а в режим на запомняне - запазва достигнатата стойност.

На фиг.1 е показана класическата височестотна схема за следене-запомняне с диоден мост, подходяща за интегрално изпълнение [1], [2]. По време на положителния импулс на сигнала CLKP, транзисторът Q2 е отпушен, а Q1 - запушен. През четирите диода D1÷D4 протича токът на източника Ib3 и те играят ролята на диоден ключ, осигуряващ предаването на входния сигнал Vs на изхода Vo. В режим на запомняне, транзисторът Q1 се отпушва и комутира тока на източника Ib3, така че диодният мост се запушва. За фиксиране на потенциалите в т.А и т.В на 0.7 V от изходното напрежение Vo се използва повторителят Buffer и диодите D6 и D7, които в този режим са отпушени (през диода D6 тече част от тока на източника Ib1, а през D7 - Ib2). За правилната работа на схемата е необходимо сумата от токовете Ib2 и Ib3 да е равна на Ib1.

Недостатъци на представената схема са:

-Използваният диоден мост определя малко входно съпротивление, което поставя изисквания за малко изходно съпротивление на източника на входен сигнал и за висока стойност на товара.

-Скоростта на следене (честотната лента) на сигнала е в пряка зависимост от големината на тока през източника Ib3. За осигуряване на работата при високи честоти неговата стойност се избира около 10 mA [2], което повишава консумацията.

-В режим на запомняне, диодите D6 и D7 са свързани към изходното напрежение, така че входният сигнал Vs не може да се промени с повече от 0.7V

спрямо стойността на съхранения изходен сигнал V_o . Това ограничава скоростта на изменение на входния сигнал (т.е. амплитудата и честотата му).

В статията е предложена и изследвана схема за следене-запомняне (фиг.2), в която са направени две съществени изменения, премахващи горните недостатъци:

-Диодният мост е заменен с четири-транзисторен аналогов ключ. Това води до намаляване на консумацията и разширяване на честотната лента на новата схема.

-Добавен е втори повторител Buffer, с което се избягва връзката между т.А и т.В през диодите Q9 и Q10 в режим на запомняне. Това премахва ограничението за скоростта на изменение на входния сигнал.

II. Аналогов ключ.

Предлаганият аналогов ключ е получен, чрез заместване на диодния мост D1÷D4 с широколентовия буфер [3], съставен от транзисторите Q1÷Q4. Той представлява комплементарен противотактен емитерен повторител по схемата на Дарлингтон, който гарантира висока линейност и усиление по ток на предавания входен сигнал. Коефициентът на предаване от изхода към входа е приблизително единица, а изходният ток към товара, свързан към извода V_o и земя, е равен на разликата от токовете $I_e(Q2)$ и $I_e(Q3)$, протичащи през транзисторите Q2 и Q3. За контура, определен от четирите прехода В-Е, може да се запише:

$$(1) \quad V_{be1} - V_{be2} - V_{be3} + V_{be4} = 0$$

При условие, че за реализацията на схемата е използвана комплементарна технология и площите на рпр и нпр транзисторите са еднакви, от (1) се получава:

$$(2) \quad \varphi_r \ln \frac{I_e(Q1)}{I_e(Q2)} = \varphi_r \ln \frac{I_e(Q3)}{I_e(Q4)}, \text{ т.е.}$$

$$(3) \quad I_e(Q1) \cdot I_e(Q4) = I_e(Q3) \cdot I_e(Q2).$$

От (1) и (3) следва, че при липса на входен сигнал ($V_s=0$), токовете през емитерите на четирите транзистора са приблизително равни, а изходното напрежение V_o е равно на нула.

При наличие на входен сигнал V_s , схемата работи като противотактно изходно стъпало в режим АВ, което осигурява изходни токове - многократно по-големи от токовете на задаващите източници. Това позволява стойностите на $I_{b1} \div I_{b3}$ да се намалят до 10 ÷ 20 пъти, в сравнение със стойностите при схемата с диоди, без да се получи нежелателно увеличение на нелинейните изкривявания.

Входното съпротивление на ключа в режим на следене е $R_{in} = R_{in}(ok-ok)/2 \approx \beta_n \cdot \beta_p \cdot (\varphi_t / I_{b1} + R_L) / 2$, където R_L е товарът на схемата. Изходното съпротивление е $R_{out} = R_{out}(ok-ok) / 2 \approx \varphi_t / I_{b3}$.

В изключено състояние, прекъсването на връзката между генератора V_s и изхода V_o се осъществява, чрез комутация на токовете I_{b1} и I_{b2} , така че през

транзисторите Q1÷Q4 да не тече ток. Транзисторите се запушват и на изхода Vo може да проникне слаб сигнал само през паразитните капацитети на преходите В-Е.

В режим на предаване, при подаване на входа на положителен скокообразен импулс с голяма амплитуда, се запушват транзисторите Q1 и Q3, при което токът през кондензатора Ch се определя от тока през транзистора Q2. В този случай, неговият базов ток става равен на тока през генератора Ib2, което определя стойности на зарядния ток на кондензатора близки до $(\beta+1) \cdot Ib2$. Това е причината за многократното увеличение на скоростта на нарастване на изходното напрежение SR при новопредложената схема. На практика, максималният изходен ток (а оттам и скоростта на нарастване на изходното напрежение) се ограничава от насищането на изходните транзистори. То се дължи на малките захранващи напрежения, които се използват в съвременните интегрални схеми, и големите паразитни обемни съпротивления на колекторните и емитерните изводи на интегралните транзистори. Максималният ток може да се определи приблизително като отношение на захранващото напрежение Vcc и сумата от стойностите на паразитните обемни съпротивления в емитера и колектора на съответния изходен транзистор.

III. Bootstrap вериги.

При известната схема от фиг.1, в режим на запомняне входният сигнал Vs не може да се промени с повече от 0.7V спрямо стойността на съхранения изходен сигнал Vo. В противен случай, промяната на напрежението се предава в т.А и т.В и води до отпушването на един от изходните диоди (D4 или D2), а от там и до нежелателна промяна на напрежението в изхода Vo. Този недостатък се избягва с предложеното разцепване на Bootstrap веригата на два независими клона, с отделен буфер във всеки от тях, при което максимално допустимата амплитуда на входния сигнал се определя единствено от стойностите на захранващите напрежения $\pm Vcc$ и токовете Ib1÷Ib3.

IV. Резултати от симулацията.

Предложената схема е симулирана с програмата за моделиране Design Center 6.0. при захранващи напрежения $\pm 5V$. Използвани са високочестотни комплементарни биполарни транзистори, чиито основни параметри са [4]:

NPN транзистор: $I_s=1.5e-16$ [A], $B_f=67$, $V_{AF}=62$ [V], $R_b=404$ [Ω], $R_e=58$ [Ω], $R_c=250$ [Ω], $C_e=39$ [fF], $C_s=30$ [fF], $C_c=22$ [fF], $f_T=20$ [GHz].

PNP транзистор: $I_s=1.5e-16$ [A], $B_f=69$, $V_{AF}=15$ [V], $R_b=233$ [Ω], $R_e=95$ [Ω], $R_c=220$ [Ω], $C_e=18$ [fF], $C_s=38$ [fF], $C_c=17$ [fF], $f_T=7$ [GHz].

Както беше посочено в т.II, изборът на стойността на Ib2 е свързан с работата на транзисторите Q2 и Q3 в режим на насищане. В този режим, максималният изходен ток през тях е приблизително равен на $\pm Vcc/(R_e+R_c)$, където с Re и Rc са означени стойностите на обемните паразитни съпротивления в емитерните и колекторните изводи на използваните

интегрални транзистори. От тук следва, че необходимият максимален ток, задаван от I_{b2} , може да бъде около β пъти по-малък. Във връзка с горното, токът I_{b2} е избран 0.4mA , $I_{b1}=0.1\text{mA}$ и $I_{b3}=0.5\text{mA}$. Генераторите на ток могат да бъдат изпълнени като токови огледала по някоя от стандартните схеми, описани в [5]. Понеже техните изходи са свързани с основната част на схемата през транзисторите Q5÷Q8, в симулираната схема те могат да се представят като идеални източници на ток, без това да промени съществено получените резултати [2]. Опорните напрежения V_{bb} и V_{ref} са избрани съответно $+3\text{V}$ и -3.5V , като по този начин се гарантира стабилната работа на транзисторите Q5, Q6, Q7 и Q8 и се осигурява изходно напрежение около 1V за генераторите на ток. Буферите са симулирани като повторители на напрежение с изходно съпротивление $100\ \Omega$. При тези условия, максималната амплитуда на входните сигнали е около 2V . Схемата се управлява от генератора на импулси V_{clk} .

Получените резултати от симулацията са представени в таблицата.

Параметър	Условия	Стойност
Остатъчно напрежение на изхода - V_o (mV)	$V_s=0\text{V}$	8mV
Скорост на нарастване на изходния сигнал SR (V/ μS)	$V_{sp-p}=4\text{V}$	
-при положителен отскок на напрежението:		1800V/ μS
-при отрицателен отскок на напрежението:		1400V/ μS
Време за установяване при преден фронт на входния сигнал T_{asc} (ns):	$V_{sp-p}=4\text{V}$	
-точност - 1%		3.882nS
-точност - 0.1%		4.306nS
-точност - 0.012%		4.398nS
Време за установяване при заден фронт на входния сигнал T_{asc} (nS):	$V_{sp-p}=4\text{V}$	
-точност - 1%		4.829nS
-точност - 0.1%		5.587nS
-точност - 0.012%		5.957nS
Време за закъснение спрямо фронта на управляващия сигнал (nS):	$V_{sp-p}=4\text{V}$	0.759nS
Апертурно време (nS)	$V_{sp-p}=4\text{V}$	1.042nS

Анализът на получените резултати показва, че максималното време за установяване T_{asc} е по-малко от 6nS , а скоростта на нарастване на изходния сигнал SR е по-висока от $1400\text{V}/\mu\text{S}$. Това определя гранична стойност на тактовата честота V_{clk} над 80MHz . На фиг.3 е демонстрирана работата на схемата при тази тактова честота, като честотата на входния сигнал е 5MHz , а амплитудата му - 2V .

IV Заключение.

Резултатите от изследванията показват, че предложената схема за следене-запомняне, има следните предимства в сравнение с класическата:

-около β пъти по-малка статична консумация;

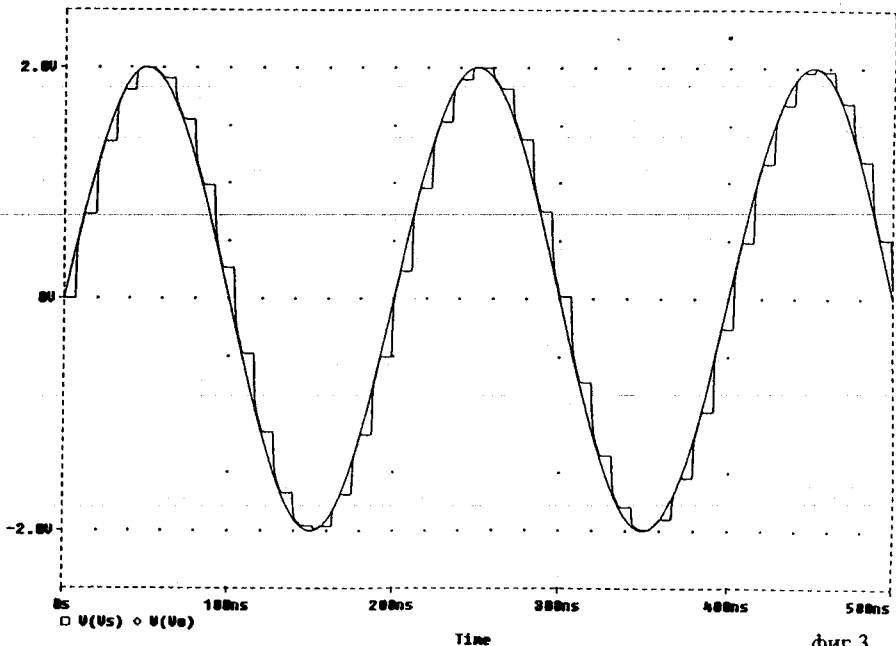
-широк диапазон на изменение на входните сигнали, ограничаван единствено от стойността на захранващите напрежения (докато при традиционната схема този диапазон е в границите на удвоеното напрежение върху отпушен диод);

-по-висока скорост на нарастване на изходния сигнал, при понижени стойности на захранващите напрежения и консумираната мощност.

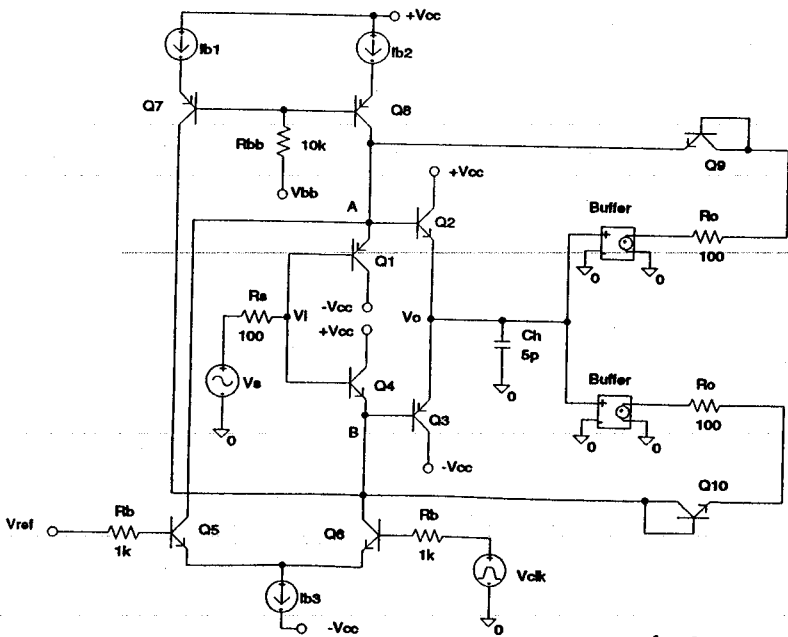
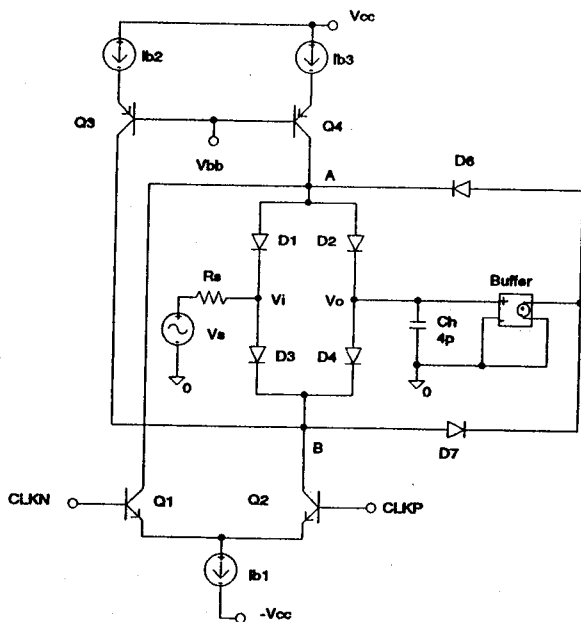
Посочените предимства правят предложената схема подходяща за приложение във високочестотни системи за обработка на аналогови сигнали.

IV. Литература.

- 1.Razavi, Behzad. Principles of data conversion system design. IEEE PRESS, 1995.
- 2.Wakimoto, T., Y. Akazawa. Circuits to reduce distortion in the diode-bridge track-and-hold. IEEE Journal of solid-state circuits, vol.28, No. 3, march 1993.
- 3.Соклоф,С. Приложение на аналогови интегрални схеми.С.,Техника, 1990.
- 4.Kobayashi, Y., С. Yamagushi, Y. Amemiya, T. Sakai. High performance LSI process technology: SST CBI-CMOS. IEDM Tech. Dig., 1988, pp. 760-763.
- 5.Gray, Paul R., Robert G. Meyer. Analysis and design of analog integrated circuits. John Wiley & Sons . 1994.



фиг.3.



Фиг. 2.