

# ПРОЕКТИРАНЕ НА CMOS ИС ЗА ВЪЗПРОИЗВЕЖДАНЕ НА ЦИФРОВ АУДИО ЗАПИС

Росен Радонов, Георги Димитров, Владимир Драгиев, Марин Христов

ТЕХНИЧЕСКИ УНИВЕРСИТЕТ - СОФИЯ

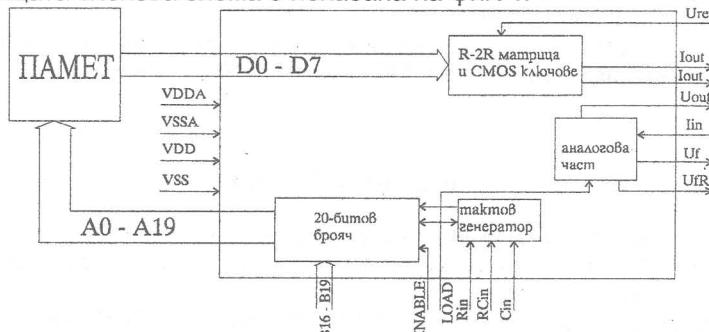
**Abstract—This article treats a CMOS IS playing digital sound. The basic moments of the design are described: logical simulation of the digital part, schematic design and simulation of the analog part, verification. The methodology that is being used is based on the standard cell library of the MIETEC technology for analog-digital ICs with 2 $\mu$ m geometry. The specifics of the design of the digital and analog parts are described. The prototyping of the chip is foreseen to be done via the EUROPRACTICE organisation.**

## 1. ОПИСАНИЕ НА ИНТЕГРАЛНАТА СХЕМА

Интегралната схема е от смесен цифрово-аналогов тип и е предназначена за възпроизвеждане на дигитализиран звук, който предварително е дискретизиран и записан във външна EPROM памет или друг вид постоянна памет.

Проектирането е извършено чрез системата за автоматизирано проектиране в микроелектрониката CADENCE. Използвана е CMOS 2 $\mu$ m MIETEC технология на фирмата Alcatel и методът на проектиране със стандартни клетки.

Общата блокова схема е показана на фиг. 1.



фиг. 1

Интегралната схема е изградена от тактов генератор, генериращ импулсна поредица, чиято честота се задава и регулира външно, 20-битов синхронен брояч, извършващ адресирането на външната памет, управляван от тактовия генератор и 8-битов цифрово-аналогов преобразувател, на който се подават данните от паметта. Схемата има два управляващи цифрови входа, четири цифрови входа за зареждане на брояча, осем цифрови входа за данни, три аналогови входа за тактовия генератор, двадесет цифрови изхода за адресиране на паметта, един аналогов вход към инвертирация вход на операционния усилвател от цифрово-аналоговия преобразувател, два аналогови изхода от резистивната матрица на цифрово-аналоговия преобразувател, един аналогов изход за избирателно свързване на съпротивлението в обратната връзка на операционния усилвател и два аналогови изхода от операционните усилватели. Захранването на интегралната схема е двуполярно  $\pm 5V$ .

## 2. ПРОЕКТИРАНЕ НА ЦИФРОВАТА ЧАСТ ОТ СХЕМАТА

Цифровата част от интегралната схема за възпроизвеждане на дигитален запис е предназначена да адресира външно свързана памет, като данните от нея постъпват в аналоговата част на схемата. Цифровата част се състои от тактов генератор и брояч. Броячът има възможност за зареждане на най-старшите четири бита. Адресната шина е 20-битова.

Входовете, които управляват цифровата част са:

- цифров вход ENABLE, предназначен да пуска и спира брояча.

Входът е TTL съвместим.

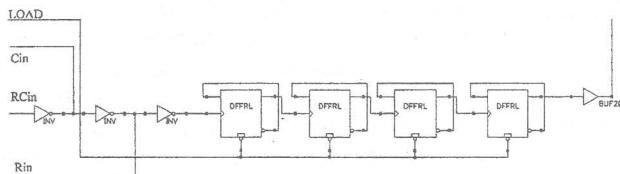
- цифров вход LOAD, предназначен за първоначално нулиране на тригерите от генератора и брояча и зареждане на най-старшите четири бита от брояча. Входът е TTL-съвместим.

- три аналогови входа за свързване на външните елементи за тактовия генератор.

Изходите от брояча са TTL-съвместими.

### 2.1. ПРОЕКТИРАНЕ НА ТАКТОВ ГЕНЕРАТОР

За реализация на тактовия генератор, използван в проекта, е използвана схемата, показана на фиг.2. Генераторът е осъществен на базата на мултивибратор, съставен от три логически елемента от тип инвертор, един резистор, един кондензатор, осъществяващи генерирането на основната честота, четири D-тригера свързани като T-тригери, които осъществяват деленето на генерираната честота на 16 и буфер повторител.



фиг. 2

Резисторът и кондензаторът се явяват външни за интегралната схема, като се свързват към инверторите посредством изводите на интегралната схема.

Периодът на колебанията може да се определи по формулата:

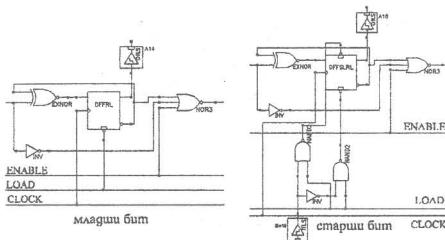
$$T \approx 2,2 \cdot R \cdot C \quad (1)$$

На изходът на тактовия генератор е поставен буфер-повторител с товароспособност 20 пъти по-голяма от тази на обикновения повторител, тъй като сигналът от изхода му се подава на входовете за тактуване на 20-те тригера от брояча. Целта му е да компенсира капацитивното натоварване на шината този сигнал от входните капацитети на тези входове. По същият начин е буфериран и сигналът за зареждане LOAD, който се подава на тригерите от брояча, делителя на честота и аналоговата част от интегралната схема.

## 2.2. ПРОЕКТИРАНЕ НА БРОЯЧ ЗА АДРЕСИРАНЕ НА ВЪНШНА ПАМЕТ

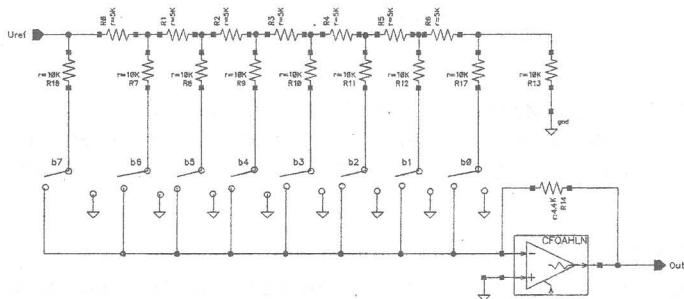
Схемите на един от младшите и един от старшите битове на брояча за адресиране на външна памет са показани на фиг. 3. Той представлява 20-битов синхронен брояч, синхронизиран по предния фронт на тактовия импулс, идващ от тактовия генератор. Броячът има асинхронен вход за нулиране. Сигналът за нулиране се взема от входа LOAD на интегралната схема. Активното му ниво е високо. Неговата продължителност трябва да не бъде по-малка от 5μs от съображения за работоспособността на аналоговата част на интегралната схема, където сигналът също се използва. Същия вход служи за разрешаване на зареждането на старшите четири бита.

Броячът може да се пуска и спира чрез сигнала ENABLE, който е асинхронен и е активен във високо ниво.



фиг. 3  
3. ПРОЕКТИРАНЕ НА АНАЛОГОВАТА ЧАСТ

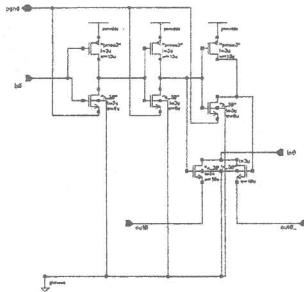
Аналоговата част на интегралната схема съдържа цифрово-аналогов преобразувател, изграден с обръната R-2R матрица, 8 CMOS токови ключа, операционен усилвател, свързан като преобразувател ток-напрежение и инвертор, изграден от операционен усилвател. Електрическата схема на цифрово-аналоговия преобразувател е показана на фиг. 4.



фиг. 4

Съпротивленията от резистивната матрица имат стойности  $10k\Omega$  и  $5k\Omega$ . Те са проектирани за изпълнение в първия полисилициев слой, който има листово съпротивление  $22 \Omega/\square$ . Резисторите в обратната връзка на операционните усилватели също са реализирани на първи полисилициев слой, така че стойностите на всички резистори ще се изменят еднакво при промяна на температурата.

Токовите ключове са реализирани по схемата, показана на фиг. 5



фиг. 5

За да се компенсира съпротивлението на ключовите транзистори в отпуснато състояние, геометричните размери на техните гейтове са изчислени така, че върху всеки ключ да се получава един и същи пад на напрежение, равен на 10 mV. При стойност на опорното напрежение 5V токът през НСР ще бъде 0.5 mA, което отговаря на съпротивление на канала 20Ω за транзисторите от ключа на НСР, 40Ω за транзисторите на следващия по-младши разред, 80Ω за следващия и т.н.

Изчисляването на ширините и дължините на ключовите транзистори е извършено с помощта на формулата:

$$R_{ds}^{-1} = \mu C_{ox} (U_{gs} - U_t) \frac{W}{L}, \quad (2)$$

където  $R_{ds}$  е съпротивлението на канала на транзистора,  $\mu$  по  $C_{ox}$  - обща константа за подвижността на токоносителите и капацитета на окиса под гейта,  $U_{gs}$  - напрежението гейт-сорс,  $U_t$  - модифицирано прагово напрежение:

$$U_t' = U_t + \frac{1}{2} \sqrt{U_{sb}} \quad (3)$$

$U_t$  - прагово напрежение на транзистора,  $U_{sb}$  напрежение сорс-подложка,  $W$  - ширина на канала на транзистора,  $L$  - дължина на канала на транзистора.

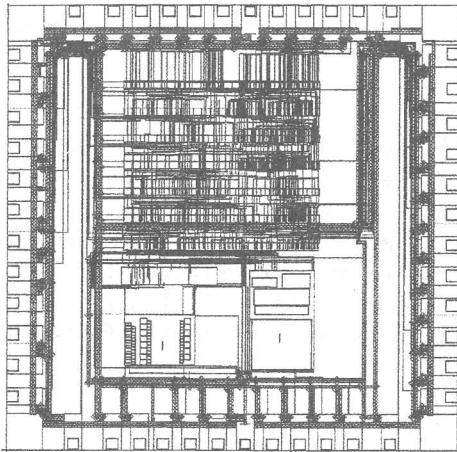
#### 4. ТОПОЛОГИЧНО ПРОЕКТИРАНЕ

Разработването и реализирането на проекта на базата на стандартни клетки чрез CADENCE се извършва на основата на стандартна CMOS N-джоб технология и в съответствие със нейния технологичен ред.

Разполагането на стандартните клетки е направена напълно автоматично, след което са направени малки ръчни корекции в захранващите шини. Топологията на интегралната схема е показана на фиг. 6

В заключение може да се каже, че чрез проектирането на

интегралната схема се показва работоспособността на системата за автоматизирано проектиране в микроелектрониката CADENCE, нейната гъвкавост както и удобствата, които предлага на проектанта, а също и пригодността на използваната технология за проектиране на такъв тип интегрални схеми.



фиг. 6.

#### ИЗПОЛЗВАНА ЛИТЕРАТУРА

1. Ватанабэ, М., К. Асада, К. Кани, Т. Оцуки. Проектирование СБИС, М.,Мир,1988 г.
2. Василева Т., М. Горanova, Въведение в системата за проектиране на ИС
3. CADENCE OPUS, ТУ, 1994 г.
4. Шишков, А. Полупроводникова техника - част 2, С., Техника, 1994 г.
5. MIETEC Standard Cell User Manual 2.0  $\mu$ m, N.V.MIETEC, 1993