

Проектиране и оптимизация на бързи суматори

Т. К. Василева, В. П. Чумаченко, Е. Д. Петров

Технически университет – София

Abstract The first part of the paper presents a method to balance complexity and speed of fast adders, using a „0“-cell based formalism. By mixing different architectures the lowest cost for an imposed delay can be achieved. An improved, fully symmetrical circuit implementation of the „0“-cell is proposed. In the second part an algorithm for timing driven optimisation of fast adders by transistor sizing is described. Using the proposed method several adders are designed and verified by Cadence Spectre. The simulation results demonstrate the accuracy of the presented algorithm and its applicability to broad class of fast adders.

Въведение

Сумирането е в основата на всички аритметични операции в специализираните сигнални процесори. Затова задачата за създаване на бърз суматор като неразделна част от съвременен специализиран процесор е от особена важност, тъй като ускоряването на тази операция автоматично ще доведе до подобряване бързодействието на цялата система.

В литературата са известни различни архитектури на паралелни суматори, позволяващи ускорено изработване на преноса. Подобрене в бързодействието може да се постигне чрез съчетаване предимствата на отделните архитектури и подходящо оразмеряване на съставните транзистори. Задачата за оптимизация на сложни схеми с множество транзистори изисква значителни ресурси по отношение на време за изчисление и оперативна памет. Проблемът се усложнява и от факта, че при промяна на размерите се изменя входният капацитет, а от там и капацитивният товар на базата на който се извършва оразмеряването. За да се разреши това противоречие в редица публикации не се отчита изменението на натоварването в процеса на оптимизация, което довежда до значителни грешки.

В настоящата статия е предложен алгоритъм за оптимизация на различни архитектури паралелни суматори, който отчита изменението на входния капацитет с промяна на размерите като при това се минимира използваната площ за конкретно бързодействие.

Структура на суматори

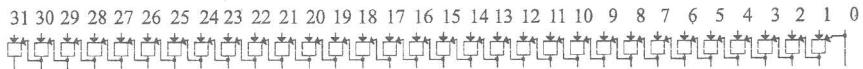
Основен показател, определящ избора на даден тип суматор е времето за сумиране. Не без значение е и броят използвани транзистори за реализация на суматора. За да се оценят предимствата и недостатъците на известните архитектури суматори и да се направи подходящ избор за всеки конкретен случай е необходим единен критерий за сравнението им.

Суматорите с ускорен пренос се различават по архитектурата на блока за формиране на частичните преноси.

На фигураните по-долу са показани някои от известните архитектури на суматори. Те са изградени от еднотипни елементи („о“ клетки [1,2]), чиято брой е използван като критерий за сравнение. Закъснението на суматорите може да се изрази с броя „о“ клетки по протежение на критичния път (най-бавния път за разпространение на сигнала), а необходимите ресурси - с общия брой използвани „о“ клетки. От фигураните могат да се сравнят регулярността на различните архитектури, тяхната конструкция, както и натоварването на всяка „о“ клетка, от което зависи времето за разпространение на сигнала по критичния път. Примерите са дадени за 32-битови суматори.

Суматор с последователен пренос

Този тип суматор се конструира лесно чрез последователно свързване на „о“ клетки, но е бавен, тъй като резултатът се получава след разпространение на преноса от най-младшия до най-старшия бит (фиг.1). Необходимите ресурси за изграждането му се оценяват като $O(n)$, където n е размерността.



Фиг.1 Суматор с последователен пренос

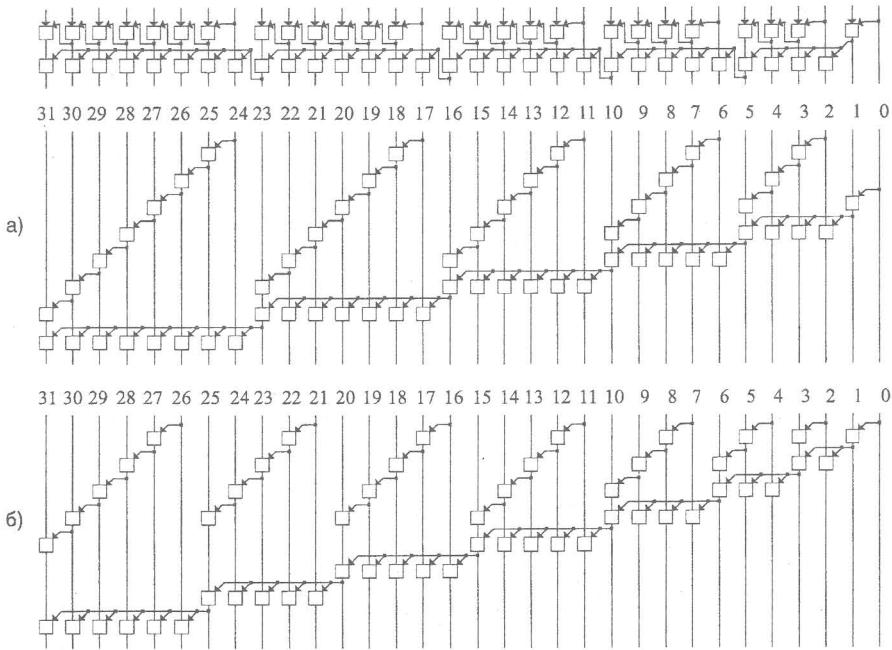
Суматор с избор на пренос (Carry Select Adder - CSA)

Този суматор (фиг. 2а) се основава на предходния, но е разделен на групи с различна дължина. Необходимите ресурси са $O(2n)$, а закъснението $O(\sqrt{2n})$.

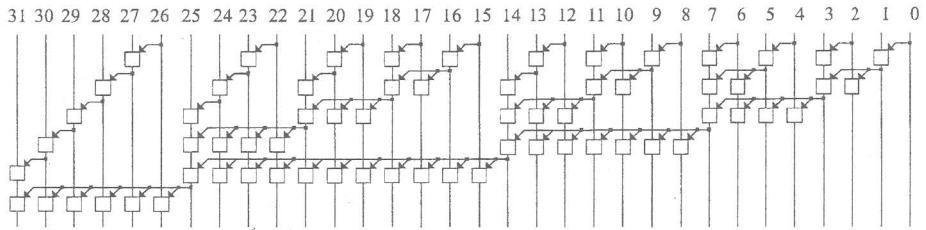
Критичният път минава през 8 клетки. На фиг. 2а е показан и вариант на пространствено подреждане на клетките в две нива от блокове с размерност $(8,7,6,5,4,1)$. Добрата топологична регулярност, която се постига по този начин допринася за популярността на суматора.

Балансирана архитектура може да се постигне с изменение размерността на блоковете или свързването им в три нива. Ако блоковете се структурират с размерност $(6,5,5,5,4,3,2,1)$ критичният път остава 8 клетки, но коефициентът на натоварване се намалява от 9 на 7 (фиг. 2б), кое то увеличава бързодействието.

Суматор с избор на пренос в три нива е показан на фиг. 3 и изиска ресурси $O(3n)$ при закъснение $O(\sqrt[3]{6n})$. Бързодействието може да се подобри с подходящо балансиране размера на блоковете.



Фиг. 2 а) Суматор с избор на пренос с две нива б) Балансиран суматор с избор на пренос.



Фиг. 3. Суматор с избор на пренос с три нива.

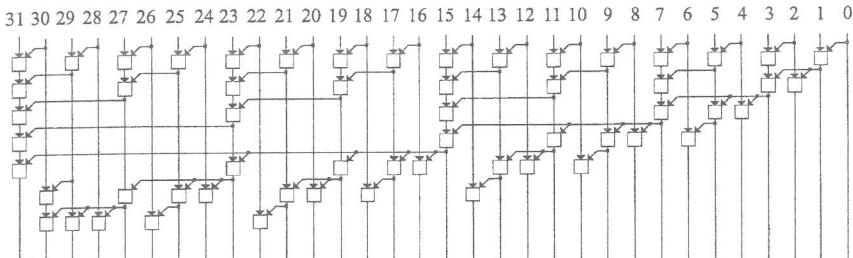
Суматор на Брент и Кунг

Той се базира на построяване на двоични дървета от „0“ клетки (фиг.4) и изисква ресурси $O(2n)$ при закъснение $O(2[\log_2(n)] - 2)$.

В таблица 1 е направено сравнение на някои архитектури суматори.

Както се вижда от таблицата увеличаването на бързодействието се постига с избор на подходяща архитектура и модификацията ѝ за конкретни цели. Чрез архитектурна оптимизация обаче може само в определени граници да се подобри критичният път и коефициентът на натовар-

ване. По-нататъшно увеличаване на бързодействието се извършва с избор на бърза „о“ клетка и нейното подходящо оразмеряване.



Фиг. 4. Суматор на Брент и Кунг.

Тип суматор	брой „о“ клетки	Закъснение („о“ клетки)	Макс. коеф. на натоварване	Пример за 32-бита		
С последов. пренос	$n - 1$	$n - 1$	1	31	31	1
2-нива CS	$\lceil 2n - \sqrt{2n} \rceil$	$\lceil \sqrt{2n} \rceil$	$\lceil \sqrt{2n} \rceil$	54	8	6
3-нива CS	$\approx 3n$	$\lceil \sqrt[3]{6n} \rceil$	$\lceil \sqrt[3]{6n} \rceil$	66	6	9
Brent&Kung	$\lceil 2n - 2\log_2(n) \rceil$	$\lceil 2 \log_2(n) - 2 \rceil$	$\lceil 2 \log_2(n) - 4 \rceil$	57	8	6
Sklansky (Sk)	$\lceil n/2 \log_2(n) \rceil$	$\lceil \log_2(n) \rceil$	$n/2$	80	5	16
Хибриден CS-Sk	$\lceil 2.5n - \sqrt{2n} \rceil$	$\lceil \log_2(n) + 1 \rceil$	7	65	6	7

Таблица 1 Сравнение на различни архитектури суматори

Схема на „о“ клетка

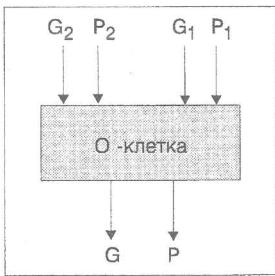
Блоковата схема на „о“ клетката и логическите уравнения, формиращи сигналите за генериране g и разпространение p на преноса са дадени на фиг. 5. Принципната схема на една от възможните реализации на „о“ клетка е показана на фиг. 6. За постигане на оптимално бързодействие е използвана комбинация от CPL [3] (Complementary Pass-transistor logic) + NPASS технология.

Като основни предимства на тази клетка могат да се посочат:

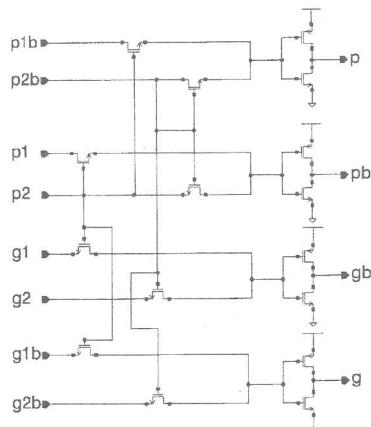
- пълна симетрия на P и G пътищата, което облекчава изчисление на закъсненията в процеса на оптимизация;
- наличие на нормален и инверсен сигнал, което опростява архитектурата на суматорите, тъй като не изисква два различни типа клетки и елиминира необходимостта от въвеждане на инвертори;
- възможност за създаване на макромодел, описващ с достатъчна точност поведението на клетката във времева област в зависимост от размерите на съставящите я транзистори (Т модел [4])
- позволява еднотипна процедура за определяне на входния капацитет във функция на размерите на транзисторите за отделните сигнални пътища и отчитане на промяната му при изменение на размерите на транзисторите в клетката (С модел [5])

$\langle g, p \rangle = \langle g_1, p_1 \rangle \circ \langle g_2, p_2 \rangle$, където

$$g = g_2 \vee p_2 \vee g_1; \quad p = p_1 \wedge p_2.$$



Фиг. 5. Блокова схема на „о“ клетка.



Фиг. 6. Принципна схема на „о“ клетка.

Гореизложените предимства дават възможност да се предложи алгоритъм за оптимизация на бързи суматори, който отчита промяната на капацитетивния товар в процеса на оптимизиране на размерите и е особено ефективен за суматори с голяма разрядност на operandите, съдържащи значителен брой транзистори.

Алгоритъм за оптимизация на бързи суматори

Предложеният алгоритъм позволява оптимизиране на размерите на транзисторите в суматора, така че да се постигне конкретно бързодействие при минимизиране на използваната площ. Традиционните подходи за оптимизация използват SPICE симулация на транзисторно ниво, кое то изисква многократни изчисления и значителни ресурси. При схеми с голям брой транзистори съществуват проблеми от загуба на точност и липса на сходимост. За решаване на противоречието за точност на резултатите и сложност на изчислителния процес, предложеният алгоритъм използва макромодел за оразмеряване на транзисторите за постигане на конкретно закъснение при определен капацитетивен товар като отчита и промяната му в процеса на оптимизиране.

Оптимизация протича на следните етапи:

- Първоначално всички размери на транзисторите се задават минимално допустимите за конкретната технология, за да се минимизира използваната площ.
- Схемата се симулира и се измерва закъснението ѝ. Процесът на оптимизация завършва, ако е достигнато зададеното бързодействие.
- Определя се критичният път на разпространение на сигналите.
- Оразмеряват се клетките в критичния път съгласно показания на фиг. 7 алгоритъм.
- Преминава се към точка b).

(1) For $i = 1$ to m do -- Разпределение на времевия бюджет TB .

$$TB_i = \frac{TB \cdot CL_i}{\sum_{i=1}^m CL_i}; CL_i = CIN_{\min} \cdot FO_i$$

(2) For $i = m$ to 2 do -- Оразмеряване на клетките.

$$(TB_i, CL_i) \xrightarrow{T\text{-model}} (W_{pass}, W_{inv})_i$$

$$(W_{pass}, W_{inv}) \xrightarrow{C\text{-model}} CIN_i$$

$$CL_{i-1} = CIN_i + (FO_{i-1} - 1) \cdot CIN_{\min}$$

(3) Симулиране на критичния път и измерване закъсненията на клетките в него - $T_1 \dots T_m$.

(4) If $T_1 + \dots + T_m > TB$ Then -- Проверка на бюджета.

-- Установява се за кои клетки измереното закъснение е по-голямо от предвиденото ($T_i > TB_i$) и им се предоставя допълнителен времеви бюджет.

-- Преминава се към стъпка (2).

End If

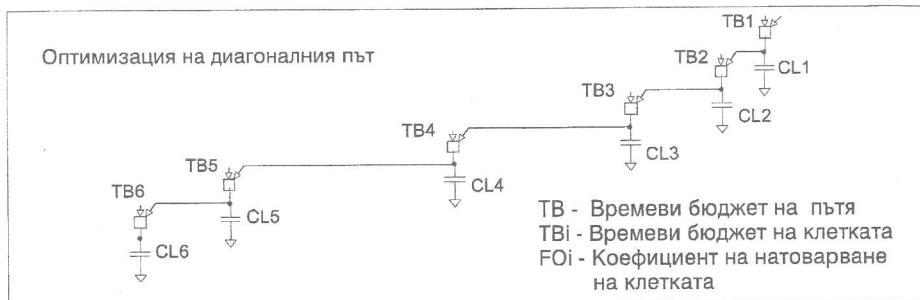
Край на алгоритъма.

Фиг. 7. Алгоритъм за оптимизация на критичен път.

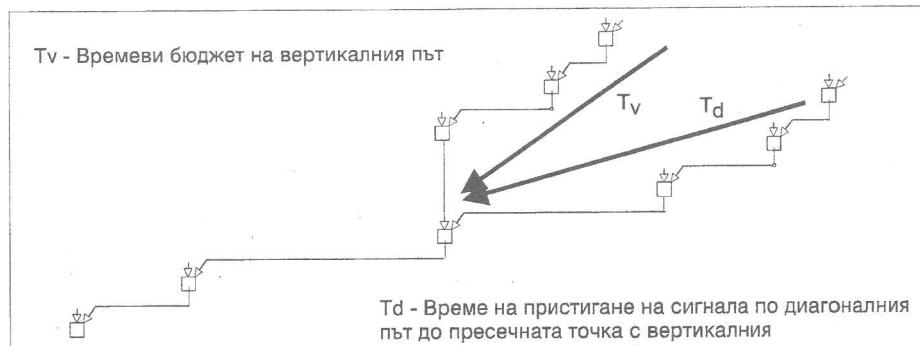
Критичният път се състои от m на брой „о“ клетки, а TB е максималното време, за което сигналите трябва да преминат през него. На всяка клетка се присвоява времеви бюджет TB_i пропорционален на нейното натоварване $CL_i = CIN_{\min} \cdot FO_i$, където CIN_{\min} е входния капацитет на „о“ клетка с минимални размери, а FO_i е коефициента на натоварване на i -та клетка (1).

Оразмеряването на клетка за конкретно закъснение при зададен товар се извършва с помощта на макромодел в стъпка (2). Променените размери на транзисторите (W_{pass}, W_{inv}) автоматично изменят и входния капацитет на клетката CIN_i , а от там и товарът на предишната CL_{i-1} . Затова в процеса на оптимизация се преизчислява входният капацитет и капацитивният товар, съобразно коефициента на натоварване.

В стъпка (3) се измерват закъсненията на клетките в критичния път чрез симулация. Стъпка (4) извършва преразпределение на времевия бюджет за клетки с по-голямо закъснение от изискваното и се преминава обратно към стъпка две.



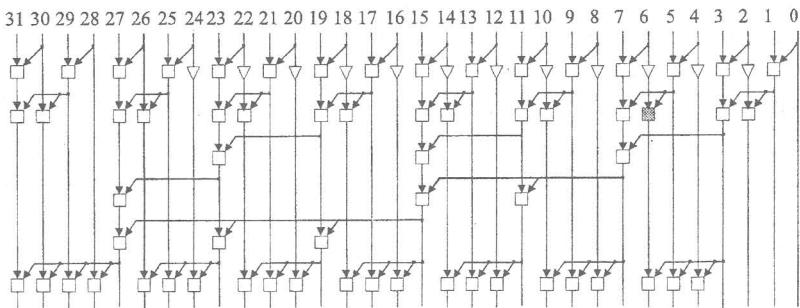
Фиг. 8. Оптимизация на диагоналния път.



Фиг. 9. Оптимизация на вертикалния път

На фигури 8 и 9 е илюстрирано приложението на този алгоритъм за оразмеряване на клетките по два критични пътя на хибриден суматор на Sklansky/Carry Select (фиг. 10).

По аналогичен начин е оптимизиран и балансирания суматор с избор на пренос от фиг. 2б. Закъсненията на клетките по критичните пътища преди и след оптимизацията са дадени в таблици 2 и 3.



Фиг. 10. Схема на хибриден Sklansky/Carry Select суматор

Бюджет на клетка	Преди оптимизация	След оптимизация
TB1	0.51	0.33
TB2	1.52	0.58
TB3	1.10	0.10
TB4	1.93	1.28
TB5	0.91	0.28
TB6	1.41	1.41
Общо (ns)	7.38	3.98

Таблица 2. Хибриден суматор

Бюджет на клетка	Преди оптимизация	След оптимизация
TB1	0.15	0.15
TB2	1.06	0.32
TB3	0.50	0.49
TB4	0.94	0.54
TB5	0.90	0.39
TB6	1.21	0.56
TB7	0.63	0.10
TB8	1.41	1.41
Общо (ns)	6.80	3.97

Таблица 3. Суматор с избор на пренос

При проектирането на двета суматора целта е била да се получат за-
къснения по-малки от четири наносеунди. Приведените в таблици 2 и 3
резултати свидетелстват, че след прилагане на описаната методика за
оразмеряване желаното бързодействие е достигнато.

Заключение

В работата е предложен подход за оценка архитектурите на паралелни суматори. Показано е как с комбиниране предимствата на различни архитектури могат да се подобрят показателите им по отношение на критичен път и натоварване на клетките в него.

Предложена е схема на основна изграждаща клетка в суматорите, удобна за автоматизиране процеса на оразмеряване.

Разработен е алгоритъм за оптимизация, позволяващ постигане на конкретно бързодействие при минимизиране на използваната площ. Приложимостта на алгоритъма за оптимизация на различни архитектури е илюстрирана с примери. За проектиране, симулация, оптимизация и разработка на топологията на разглежданите суматори е използвана програмата CADENCE. Резултатите показват ефективността на алгоритъма за оптимизация на различни класове бързи суматори.

Литература

1. R.P.Brent and Kung, „A regular layout for parallel adders“, IEEE Trans. Comput., vol. C-31, N.3, Mar. 1982
2. R.E.Ladner and M.J.Fisher, „Parallel prefix computation“, J.ACM, vol.27, N.4, Oct. 1980
3. Kazuo Yano et al., „A 3.8-ns CMOS 16x16-b multiplier using complementary pass-transistor logic“, IEEE J. Solid-State Circuits, vol. 25, N. 2, Apr. 1990
4. Tchoumatchenko V., T.Vassileva, A.Guyot, Timing Modeling for Adders Optimization, Fifth International Workshop Power and Timing Modeling, Optimization and Simulation, PATMOS'95, 4-6 October, Oldenburg, Germany
5. V.Tchoumatchenko, T.Vassileva, A.Guyot, Macromodeling of Pass-Transistor Logic Circuits, European Conference on Circuit Theory and Design ECCTD'95, August 1995, Istanbul, Turkey