

ЦИФРОВИ ФАЗОВИ СИНХРОНИЗATORИ ЗА БРОЯЧНИ ГРУПИ

доц. д-р инж. Георги Славчев Михов
Технически Университет - София

Summary: G. Mihov. Digital phase synchronisation of counters.

In this paper a problem of digital phase synchronisation of counters using a common clock generator is disputed. Three base variants of digital phase synchronisers are theoretically described. The first variant uses a master counter and a slave counter and stops the slave counter when a synchronisation does not occur. The second uses equal counters and stops the fast counter. In the third variant additional digital dividers are used for each counters. One of the counters is master and the second is slave. The divider of slave counter has a variable divide factor controlled by phase detector. The divide factor is decreasing or increasing when the slave counter is fast or late. The conditions of applying of each variant are described. The methods are used for synchronisation of two micro-controllers MC68HC11 alternative working in common memory space.

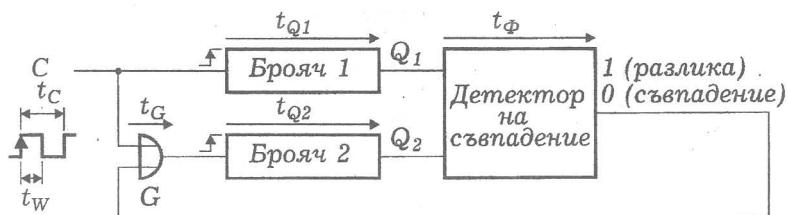
Проблемът за фазово синхронизиране на боячни групи често възниква в цифровата схемотехника. Стандартно решение е използването на фазово затворени вериги (PLL) [1]. Те предлагат много точно и плавно синхронизиране към честотата на основния генератор. Обаче, при класическите фазово затворените вериги с аналогово отработване на разликата между опорната и генерираната честота, съществуват проблеми за устойчивост на веригата и време на захват, особено при по-големи промени в диапазона за синхронизиране.

Изцяло цифровите методи за реализиране на фазова синхронизация нямат горепосочените проблеми [2], но при тях съществува постоянна грешка от неопределеност, дължаща се на дискретния характер на отработването на синхронизацията. Върху тази грешка се налагват и закъсненията на превключване на боячните групи, които в определени случаи могат да изкарат от работоспособност фазовия синхронизатор. Всичко това налага детайлно разглеждане на ограничителните условия за прилагането на определена цифрова фазово-синхронизираща система и подходящ избор на схемно решение.

В настоящата статия са разгледани теоретично три основни варианта на изграждането на цифрови фазови синхронизатори за боячни групи, превключвани от общ тактов генератор.

При първият вариант, показан на фиг. 1, едната боячна група приема статут на водеща боячна група, а другата - на подчинена. Вариантът предлага спиране на подчинената боячна група, до настъпването на фазово синхронизиране, след което тя се запуска. Водещата боячна група се тактува непрекъснато. Детекторът на съвпа-

дение следи крайните изходите от боячните групи и изработва логически сигнал 1 (съвпадение) и 0 (разлика). При наличието на разлика, логическата врата G спира тактовите импулси на подчинената боячна група до настъпването на съвпадение.



Фиг. 1.

Разсинхронизиране на боячните групи се очаква почти винаги при първоначално запускане на групите, след включване на захранващото напрежение. След първоначалното сфазиране, двете боячни групи продължават работата си в синхрон. Ако по някаква причина настъпи разсинхронизиране, подчинената боячна група се спира до настъпването на ново сфазиране, след което работата и се продължава. Максималното време за спирането ѝ е равно на времето на един пълен цикъл на броене на групите. Времевите анализи показват, че устойчива работа на този тип цифров фазов синхронизатор се осъществява при изпълнение на условието:

$$t_Q + t_\Phi + t_G < t_w ,$$

където:

t_Q - време на закъснение на превключване на боячната група;

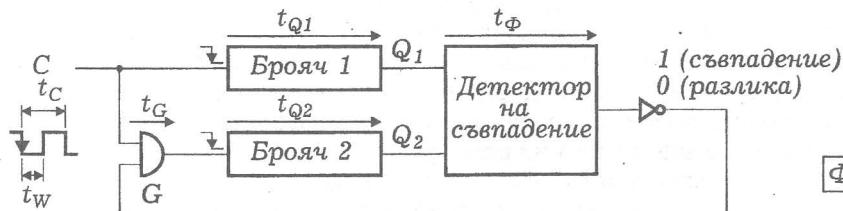
t_Φ - време на закъснение на фазовия детектор;

t_G - време на закъснение на електронната врата;

t_w - продължителност на тактовия импулс.

Фазовата разлика в установлен режим се определя от времето:

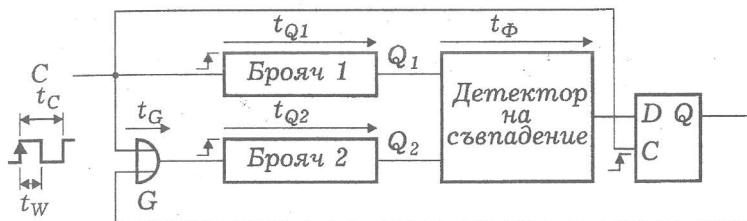
$$t_{Q1} - (t_{Q2} + t_G) , \text{ чиято максимална стойност е } t_w .$$



Фиг. 2.

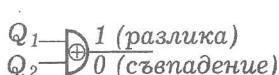
В показаната схема боячните групи превключват по нарастващия фронт на тактовия сигнал. Ако се използват боячни групи, превключващи по спадащия фронт на тактовия сигнал е необходимо

да се промени логиката на електронната врата G и да се сменят активните нива в изхода на детектора на съвпадение, както това е показано на фиг. 2.



Фиг. 3.

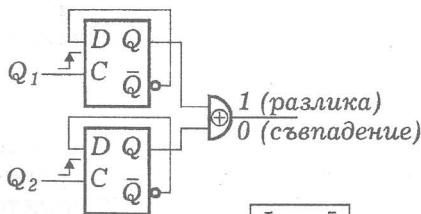
Когато в системата за фазова синхронизация не може да бъде гарантирано условието $t_Q + t_\Phi + t_G < t_W$, трябва да се въведе допълнително синхронизиране на управлението на електронната врата с фронта на тактовия генератор, който е превключващ за броячните групи, както например това е показано на фиг. 3.



Фиг. 4.

Като най-прост цифров детектор на съвпадение може да се използува елемента "ИЗКЛЮЧВАЩО ИЛИ" - фиг. 4. Той извършва детектиране на фазовата разлика по ниво при всеки полуperiод на импулсите в Q₁ и Q₂. При разсинхронизиране, времето за

сфазиране на броячните групи се определя от разликата във времето на постъпване на кои и да са едноименни фронта на сигнала в Q₁ и Q₂, измервано в посока от Q₂ към Q₁. Този детектор на съвпадение обаче може да се използува само при еднаква форма на сигналите в Q₁ и Q₂. Ако те не са еднакви по форма трябва да се извърши предварително делене на сравняваните честоти на две, за да се получат еднакви по форма сигнали (с коефициент на запълване 1/2). Примерна схема на такъв детектор на съвпадение е показана на фиг. 5.



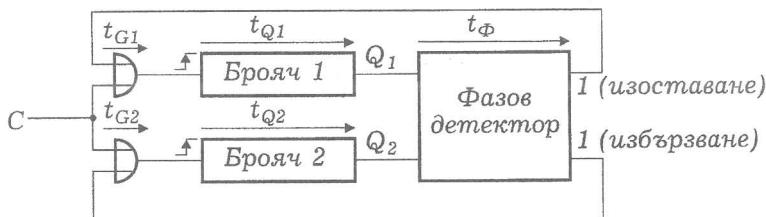
Фиг. 5.

При вторият вариант двете броячни групи са равнопоставени. При фазово разсинхронизиране, се предлага временно спиране на избързалата броячна група, докато изостаналата навакса и се достигне ново фазово синхронизиране.

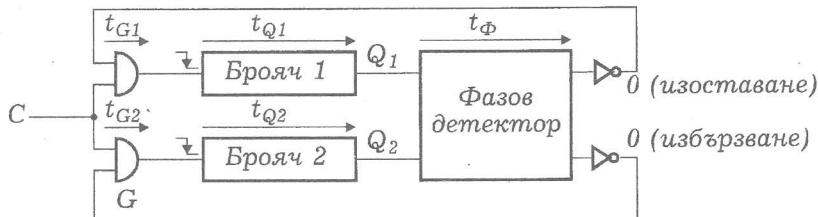
Тук се използува фазов детектор, притежаващ два изхода, единият от който се активира при избързане, а другия - при изоставане. Понятията "избързване" и "изоставане" са определени за брояч 2 спрямо брояч 1. На фиг. 6 е показано схемно решение на такъв тип фазово синхронизираща система, при

ване, а другия - при изоставане. Понятията "избързване" и "изоставане" са определени за брояч 2 спрямо брояч 1. На фиг. 6 е показано схемно решение на такъв тип фазово синхронизираща система, при

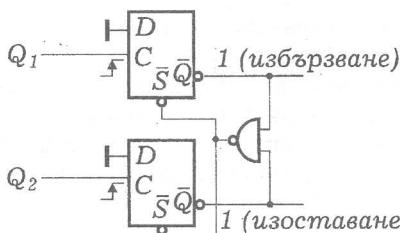
която броячните групи превключват по нарастващ фронт на тактовия сигнал, а на фиг 7 - по спадащ фронт на тактовия сигнал.



Фиг. 6.

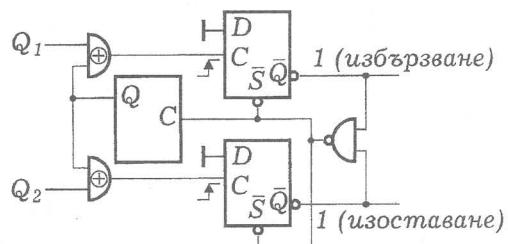


Фиг. 7.



Фиг. 8.

Подходящ фазов детектор за този тип синхронизираща система е показан на фиг. 8. Той изработва необходимите сигнали "избръзване" и "изоставане" при нарастващите фронтове на сигналите в Q_1 и Q_2 .

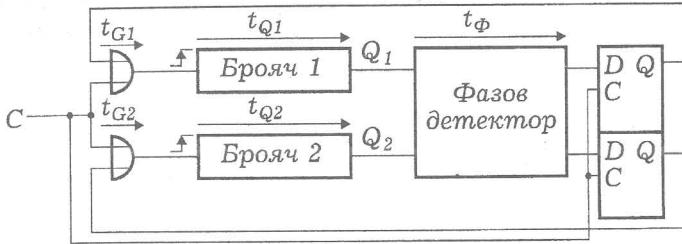


Фиг. 9.

Когато формата на сигналите в Q_1 и Q_2 са еднакви е целесъобразно използването на цифров фазов детектор, който реагира на кои и да са идно-

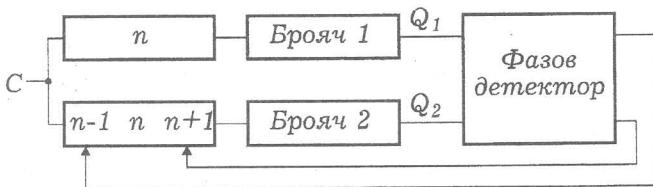
менни фронтове. Такъв фазов детектор е показан на фиг. 9. Той се различава от предходния само по това, че сигналите Q_1 и Q_2 преминават през управляеми инвертори от "ИЗКЛЮЧВАЩО ИЛИ", където алтернативно се сменят активните фронтове на превключване.

Тогава когато не е изпълнено времевото условие $t_Q + t_\Phi + t_G < t_w$, е необходимо да се въведе допълнителна синхронизация на изходните сигнали от изхода на фазовия детектор с активния фронт на сигнала от тактовия генератор, както това е показано на фиг. 10.



Фиг. 10.

При третият вариант отново едната броячна група приема статут на водеща. Във входовете на броячните групи тук са включени предварителни делители. Водещата броячна група притежава предварителен делител с постоянен коефициент на делене - n . Подчинената броячна група има сложен предварителен делител с три различни коефициента на делене - n , $n-1$ и $n+1$. Възможностите за управление на подчинената тук са двупосочни. Тя има възможност да работи с по-бавен или по-бърз тактов сигнал. В зависимост от посоката на фазовото разсинхронизиране, се прилага подходящо управление на предварителен делител, който формира по-бавен или по-бърз тактов сигнал за подчинената броячна група, така че да се отработи фазовото избръзване или изоставане. Такава фазосинхронизираща система е показана на фиг. 11.



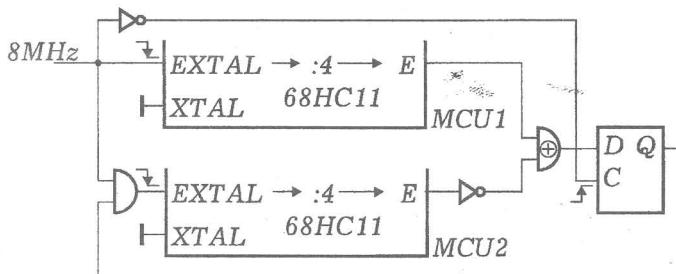
Фиг. 11.

Изследваните цифрови фазови синхронизатори са приложени при организирането на съвместна работа на два микропроцесора върху обща памет. Двата микропроцесора са MC68HC11, като те се тактуват от общ тактов генератор, а цифровото фазово управление е реализирано така, че сигналите им E (Разрешение) да бъдат алтернативни, т.е.:

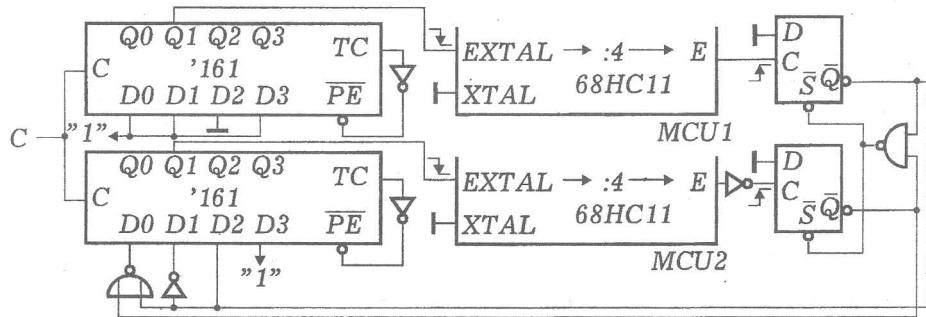
$$E_{MCU1} = \overline{E_{MCU2}}$$

В показаната на фиг. 12 схема е приложен първият вариант на цифрово фазово синхронизиране, при които MCU1 е подчинен микропроцесор и работата му се спира до настъпването на съвпадение между сравняването сигнали. Външната честота се подава на входовете EXTAL на микропроцесорите, а входовете XTAL се свързват към маса. Честотата на генерирания от микропроцесор 68HC11 сигнал E е 4

пъти по-ниска от външно подадената му на входа EXTAL. Това дава основание вътрешната верига от EXTAL до E да се разглежда като делител (брояч) на 4.



Фиг. 12.



Фиг. 13.

Приложение на третия тип цифрово фазово синхронизиране за същата цел е показано на фиг. 13. Входящата тактова честота преминава през делител на 5 към MCU1 и през управляем делител с коефициенти на деление 4, 5 и 6 - към MCU2. Фазовият детектор сравнява сигнала E от MCU1 и инвертирания сигнал E от MCU2. При наличие на изоставане, управляемия делител за MCU2 работи с коефициент на деление 4, при наличие на избръзване - 6, а при равенство - 5. При 32MHz входяща честота, работната честота за MCU1 ще бъде 6,4MHz, а за MCU2 съответно 8, 6,4 и 5,3 MHz. Ако използвания MCU2 може да понесе по-висока тактова честота, то основната честота би могла да бъде 40MHz, при което работните честоти за MCU1 - 8 MHz.

Литература:

- [1]. Соклоф С., Приложение на аналогови интегрални схеми, С., Техника, 1990.
- [2]. Williams and all. Designer's Handbook of Integrated Circuits. McGraw - Hill, Inc. 1984.