

Превключващи схеми с динамичен хистерезис

*доц.кти Ангел Николаев Попов - Технически Университет - София
инж. Валентин Стоянов Моллов - Технически Университет - София
инж. Даринка Минчева Манова - Технически Университет - Пловдив*

Резюме : В работата са разгледани превключващи електронни схеми в чиято структура са съчетани вериги на положителна (ПОВ) и отрицателна (ООВ) обратна връзки, действащи независимо една от друга. Тези схеми притежават приблизително нулев амплитуден хистерезис и временна нечувствителност към промените на входния сигнал за определено време - т.нар. "динамичен" хистерезис.

1. Въведение

В много съвременни електронни устройства (паралелни АЦЦ, дискриминатори на ниво, детектори, входни и изходни буфери и др.) е необходимо да се използват тригерни схеми, превключващи бързо и стабилно на базата на положителна обратна връзка (ПОВ) в своята структура и същевременно притежаващи тесен или почти "нулев" амплитуден хистерезис. Към такива схеми обикновено се предявяват следните по-важни изисквания :

- да включват в структурата си силна ПОВ, която да действа стабилно и независимо от входа и изхода като по този начин превключва от едното си бистабилно състояние в другото и обратно с максимална скорост;

- да имат два близки по амплитуда прага на превключване - т.е. да притежават свойството на "нулев" амплитуден хистерезис;

- да имат висока шумоустойчивост вследствие на временната си нечувствителност при промяна на входния сигнал в определени граници - т.е. да имат хистерезис във времето - "динамичен" хистерезис в предавателните си характеристики ;

По-долу са разгледани накратко три отделни реализации на такива схеми на базата на операционни усилватели, чрез CMOS стъпало и с биполарни транзистори. Те имат различно приложение, което се обуславя както от различната технология на изготвяне, така най-вече възможността им да регулират двете техни основни експлоатационни характеристики :

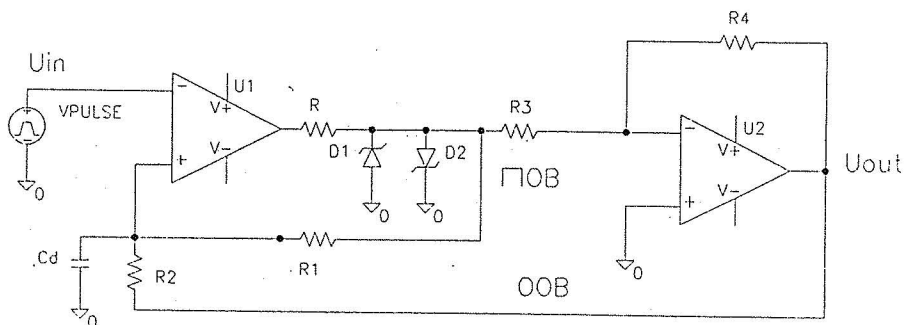
- праг на превключване по отношение на входния сигнал;

- широчина на временната си нечувствителност или "динамичния" си хистерезис;

2. Базови схемни структури с динамичен хистерезис

Схема с операционни усилватели

Принципната схема на тази превключваща структура е дадена на фиг.1. Тя представлява на практика модификация на класическата схема на несиметричен тригер на Шмит в която е добавена верига на отрицателна обратна връзка ООВ (елементите R3, R4, ОУ и R2), посредством която се поддържа нулевия хистерезис. Подробното изчисление на схемата е направено в [1].



фиг.1

За да бъдат нейните два прага на преобръщане равни, трябва да е изпълнено условието :

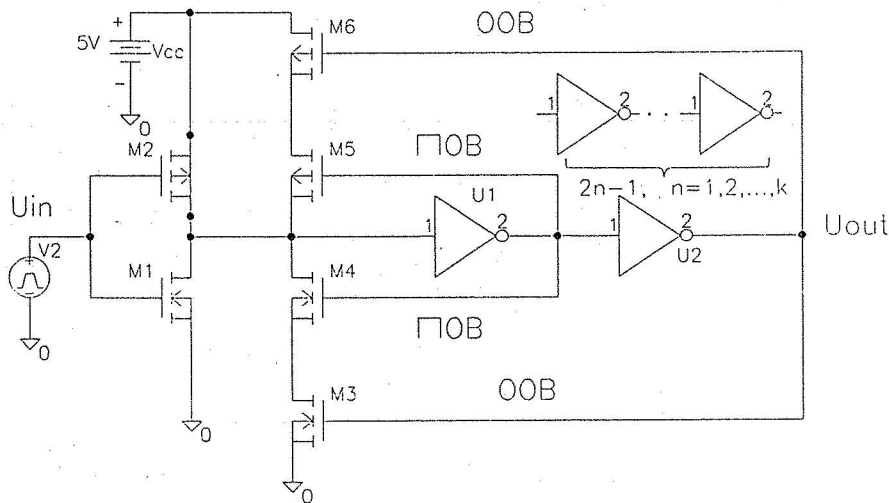
$$R1.R4=R2.R3 \quad (1)$$

Частично управление широчината на динамичния хистерезис може да се постигне посредством поставяне на закъснителни елементи (например кондензатора Cd във възела на взаимодействие на двете обратни връзки). Макар и проста като структура, схемата има основния недостатък, че при нея прагът на превключване е точно равен на нула и не може да се регулира. Изменение широчината на времевия хистерезис може да се извършва, но с

невисока точност, имайки предвид, че общото нечувствителност се определя и от еквивалентния капацитет на входната верига на операционния усилвател. Освен това схемата от фиг.1 е неподходяща за вграждане в големи интегрални структури поради голямата си еквивалентна площ.

Превключваща схема на базата на CMOS инвертор

На фиг.2 е показана обобщената принципна схема на превключваща схема на основата на CMOS стъпало [2], при която веригите на положителната и отрицателната обратни връзки действат противофазно на две двойки транзистори с противоположна проводимост (M3, M4 и M5, M6).



фиг.2

Широчината на динамичния ѝ хистерезис се определя от броя и вътрешното закъснение на инверторните схеми, означени на фигурата с U2 и може да се даде с израза :

$$\Delta t = (2n - 1) \cdot t_d \quad (2)$$

където $n=1,2,\dots,k$ е общия брой инвертори, а t_d е средното закъснение на един инвертор. Функционирането на схемата се осигурява с нечетен брой инверторни

елементи, а регулирането на прага на превключване може да се извършва само чрез изменение големината на захранващото напрежение.

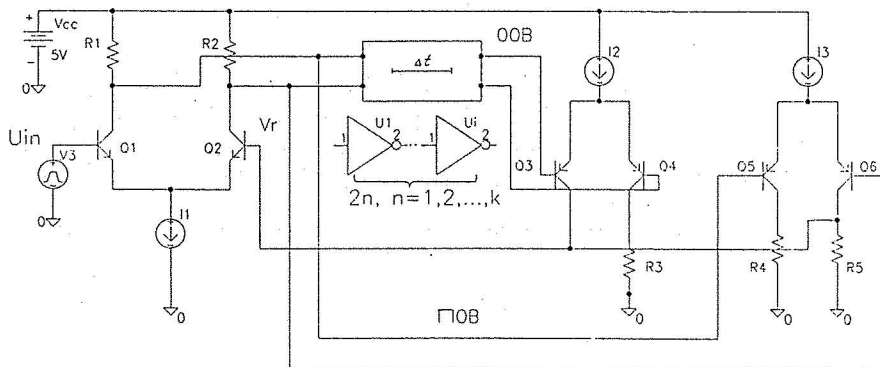
Биполарна превключваща схема

Обобщеният вид на превключваща схемата, изградена с помощта на биполарни ECL елементи е дадена на фиг.3. При нея могат да се променят както прага на превключване, така и широчината на временната ѝ нечувствителност, като тези два параметъра могат да се дадат съответно с изразите :

$$Vr = I_3 \cdot R_5 \quad (3)$$

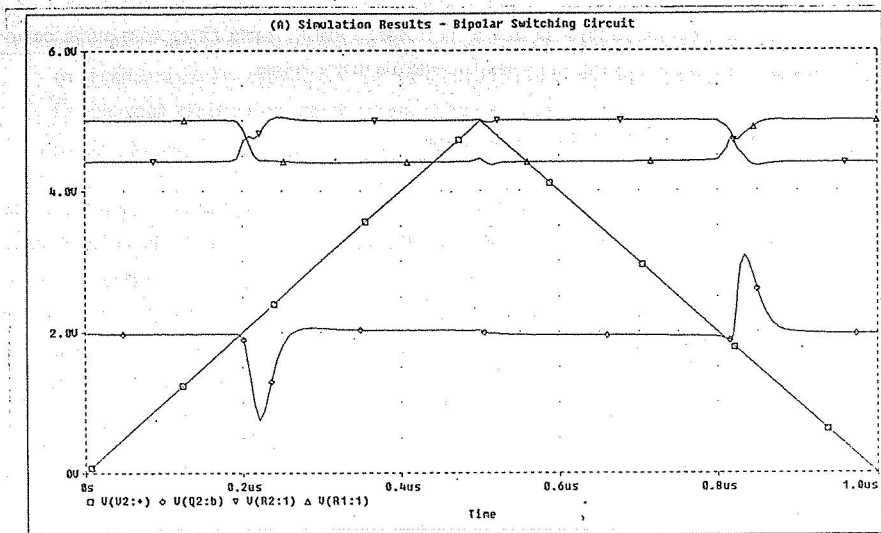
$$\Delta t = 2n \cdot t_d \quad (4)$$

където $n=1,2,\dots,k$ е общия брой инвертори с единично закъснение t_d .
Сумарният брой инверторни елементи следва да бъде четно число.



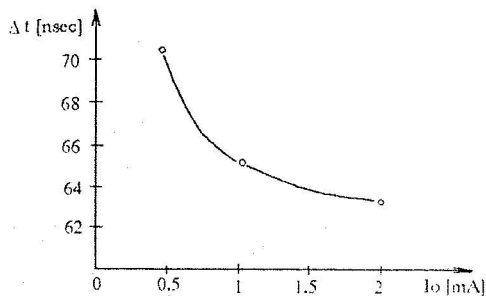
фиг.3

На фиг.4 са дадени резултатите от времевия анализ на схемата при въздействие на триънообразен сигнал с честота 1MHz. Източниците на ток в отделните стъпала са с големина $I1=I2=I3=2mA$. Големината на времевия хистерезис се определя от закъснението на сигнала в елементите U_i , включени във веригата на OOB и може ясно да се наблюдава от осцилограмата в базата на транзистора Q2.



фиг.4

На фиг.6 са дадени резултатите от изследване *зависимостта на широчината Δt на динамичния хистерезис* на схемата от големината на тока I_0 в един от вътрешните закъснителните елементи U1 и/или U2 ($n=2$) при фиксирана амплитуда (0.5V) в изходите им, като е показана възможността за регулиране на неговата големина.



фиг.5

3. Заключение

Показаните по-горе схеми имат стабилни ключови свойства и възможността да бъдат нечувствителни по отношение на флукуациите (шумовете) на входния сигнал за времето на т.нар. "динамичен" или "времени" хистерезис. Промяната на количествените характеристики на този хистерезис чрез изменение на схемните параметри е предпоставка за ефективното им приложение в различни аналого-цифрови устройства [3,4,5].

Литература:

1. Попов, А., Манова, Д., Несиметричен тригер с нулев хистерезис, XXVII Конференция по комуникационни, електронни и компютърни системи, София, Май, 1992.
2. Steyaert, M., Sansen, W., Novel CMOS Schmitt Trigger, Electronics Letters, Feb.1986., vol.22, No4.
3. Yang, J, Kim, W., Analogue to Digital Converter Architecture with a Signal Level Detector, Electronics Letters, 6-th Jan., 1994, vol.30, No.1
4. Попов, А., Манова, Д., Asynchronous Approach to Flash Analogue to Digital Converter Design, Proceedings of the VIII-th Int. Conference SAER'94, Varna, Bulgaria.
5. Попов, А., Mollov, V.St., Behavioural Description of Asynchronous Analogue-to-Digital Converters with Time-Domain Reticence Period, Proceedings of the IX-th Int. Conference SAER'95, Varna, Bulgaria.

Switching Circuits with a Time-Domain Hysteresis

Abstract : Some switching circuits, combining both a negative and a positive feedback in its structure are discussed. These circuits have nearly zero amplitude hysteresis and inherent time-domain hysteresis.