

## ИЗСЛЕДВАНЕ НА E<sup>2</sup>PROM E15106

Иван Николов Куцаров, Васил Симеонов Динов - Сигма Делта България  
Тодор Димитров Савов, Борислав Русков Бончев - ТУ София

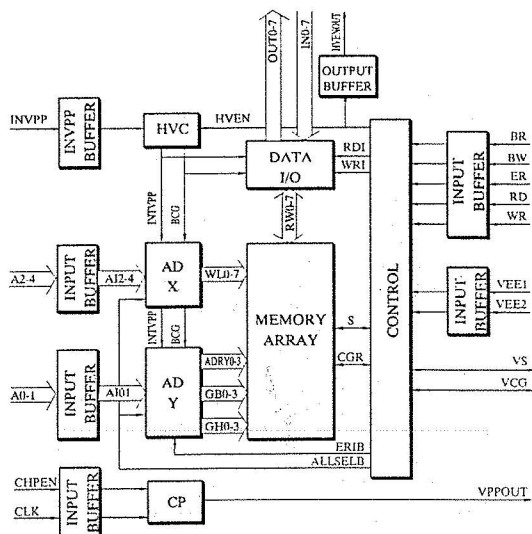
В тази статия са описани серия от тестове, проведени върху пробен образец E<sup>2</sup>PROM с обем 32 байта, произведен с цел проверка на технологичните и електрическите му параметри. Тестовете са извършени с помощта на универсален тестер за ИС.

При проектирането на чипа са използвани стандартни клетки, като особеностите са свързани със запомнящата матрица и блоковете за съвместяване на логическите нива с високото напрежение на програмиращия импулс.

Изследването е насочено към параметрите на запомнящата матрица и на програмиращия импулс.

E<sup>2</sup>PROM E15106 се състои от запомняща матрица, блок за управление, адресни декодери, вх/изх. буфери и зарядна помпа.

Блоковата схема на реализирания чип е показана на Фиг. 1.



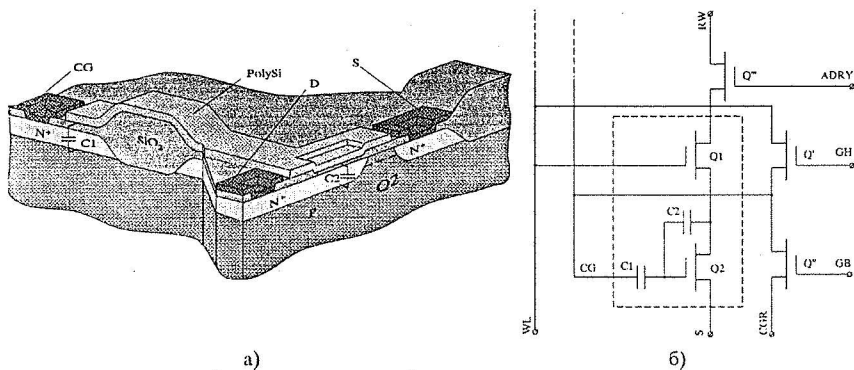
Фиг. 1.

- **MEMORY ARRAY** - запомняща матрица. Състои се от 4 блока по 8 байта. Всеки байт съдържа 8 запомнящи клетки с капацитет 1 бит.
- **ADX** адресен декодер X - разрешава достъп един от осемте байта на четирите блока на запомнящата матрица.
- **ADY** адресен декодер Y. Чрез него се избират четирите блока на запомнящата матрица.
- **CONTROL** - Контролира работата на чипа на базата на данните, постъпващи от управляващите входове.
- **HVS** - разрешава подаването на програмиращ високоволтов импулс от външен източник или вътрешната зарядна помпа на блоковете на чипа
- **INPUT BUFFER** - входен буфер. Състои се от защитни диоди и тригер на Шмид за повишаване на шумоустойчивостта..
- **OUTPUT BUFFER** - изходен буфер. Служи за повишаване на повароспособността на схемата. Има две изходни състояния.
- **DATA I/O** - двупосочен буфер за данни. Този блок осъществява връзката на запомнящата матрица с входните и изходните шини за данни.
- **INVPP BUFFER** - входен буфер за програмиращия импулс. Състои се от защитни диоди за предпазване от високо напрежение и резистор за ограничаване на тока.
- **CP** - зарядна помпа. Вътрешен източник на напрежение за програмиращи импулси.

За създаването на клетките на запомнящата матрица, илюстрирани на Фиг. 2. а), се използва допълнителна дифузия за създаване на  $N^+$  област под полисилиция. Също така се налага допълнително ецване на  $SiO_2$  и окисление за получаване на тънкия тунелен окисен слой между плаващия полисилициев гейт и дрейновата област. На Фиг. 2 б) е показана и принципната схема на запомнящата клетка заедно с управляващите транзистори във всеки байт.

Записването на информация се осъществява, като се променя проводимостта на транзисторите Q2 във всяка запомняща клетка. Проводи-

мостта зависи от заряда на плаващия полисилициев гейт. Когато заряда е положителен, той индуцира канал между дрейна и сорса и транзисторът е отпушен. Когато е отрицателен, възпрепятства образуването на канал.



Фиг. 2.

Така транзисторът остава запушен. Отрицателен заряд се получава, когато програмирацият импулс привлича електрони от дрейна, които, преминавайки през тунелния окис над дрейна, остават в плаващия гейт след края на импулса. Когато програмирацият импулс привлича електрони от плаващия гейт през тунелния окис към дрейна, се образува положителен заряд.

Именно нивата на зарядите в плаващите гейтове са обекта на най-голям интерес в изследването на E<sup>2</sup>PROM E15106.

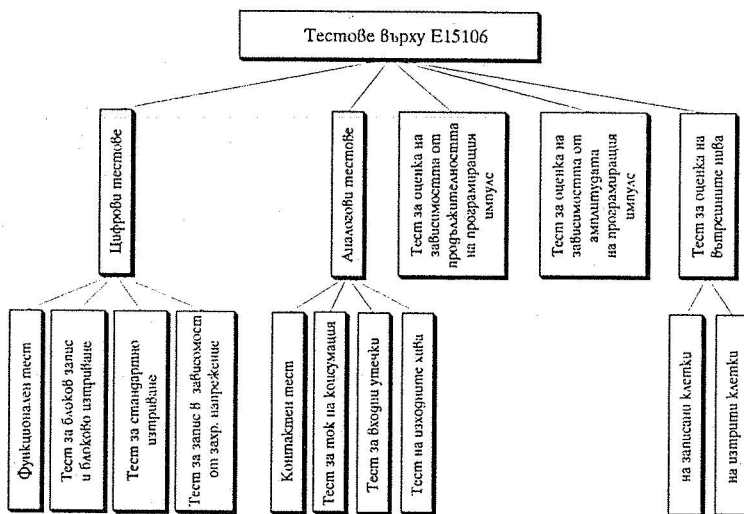
Определянето на нивата на записани клетки се осъществява като контролният гейт CG се свързва към маса, а на контролния сорс S се подава растящо със стъпка 0,1V напрежение. В определен момент потенциала, дължащ се на заряда в плаващия гейт, става недостатъчен да поддържа канала на Q2 и транзисторът се запушва. Това води до обръщане на състоянието на съответния изход за данни, което се регистрира от тестера. На базата на напрежението, което е предизвикало запушването на транзистора Q2, се съди за потенциалното ниво на плаващия гейт на съответната запомняща клетка.

Определянето на нивата на изтрпни клетки се извършва аналогично, но този път контролният сорс S се свързва към маса, а на контролния гейт CG се подава напрежение. В даден момент отрицателния заряд не успява да възпрепятства образуването на канал и транзистора Q2 се отпушва, което се регистрира като промяна на състоянието на съответния изход за данни.

### Тестове върху E15106:

Тестовата програма за E15106 е написана на QBASIC. Използвани са команди за измерване от библиотеки на C и QBASIC.

Алгоритъмът на тестовата програма е илюстриран на Фиг. 4.



Фиг. 4.

Цифровите тестове са насочени към проверка цялостната работа на схемата. Функционалният тест проверява работата на управляващата логика по отношение на разрешаването на външния генератор на програмиращи импулси. Използването на външен генератор се наложи от необходимостта от изследване влиянието на продължителността и амплитудата на програмирация импулс върху надежността на съхранение на информацията. Другите цифрови тестове са насочени към първоначална проверка

ка на годността на запомнящата матрица и работата ѝ в комплекс с останалите блокове.

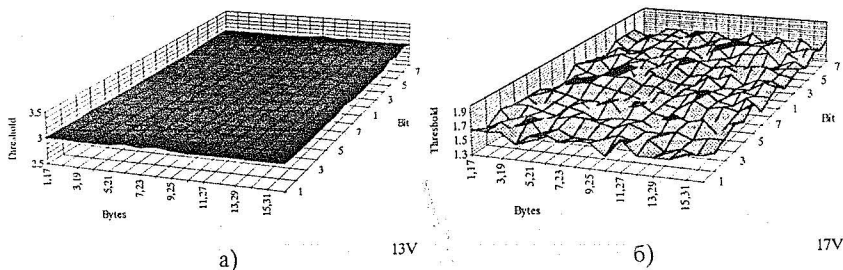
Чрез параметричните аналогови тестове се оценяват входните и изходните буфери и качеството на използваната технология.

Чрез тестовете за оценка на зависимостта от продължителността и амплитудата на програмирация импулс се цели откриването на минималните продължителност и амплитуда, при които схемата успява да извърши сигурни запис и изтриване. Продължителността определя бързодействието на схемата, а използването на високата амплитуда създава схемотехнични и технологични усложнения при изработването на схемата.

Последната група тестове са насочени към изследване на праговите нива на записани и изтрити запомнящи клетки и евентуална връзка между положението на клетките и праговете и нива. Нивата са показател за надежността на съхранение на информацията. По тях може да се съди и за продължителността на съхранение. Освен това, чрез тях се определят и оптималните параметри на програмирация импулс.

### Резултати:

Функционалните и параметричните тестове показаха положителни резултати. Чрез тестовете за определяне на минималната продължителност и амплитуда се установи, че програмирация импулсът трябва да е с продължителност над 2ms и амплитуда над 13V.



Фиг. 4.

За надежни запис и изтриване се приемат тези, при които разликата между праговите нива на записана или изтрита клетка и праговото ниво

на незаписвана клетка (около 0.7V) е по-голяма по абсолютна стойност от 2V. На Фиг. 4. а) са показани нивата на изтрпнати клетки, при напрежение на програмирация импулс 13V, а на Фиг. 4. б) са показани разпределенията на нивата на записани клетки, при напрежение на импулса 17V. Вижда се, че за постигане на неоходимите разлики, импулсът при запис трябва да е с по-голяма амплитуда от този при изтриване. Това се дължи на различната в двете посоки проводимост на тънкия окисен слой. От графиките се вижда също, че няма видима зависимост между положението на клетката и нейните прагови нива.

#### **Литература:**

1. Roger Cuppens, Cornelis Hartring, "An EEPROM for Microprocessors and Custom Logic", IEEE Journal of Solid-State Circuits, vol.SC-20, No.2, April 1985
2. Avinoam Kolodny, Sidney T. Nieh, "An analysis and Modeling of Floating-Gate EEPROM Cells", Nonvolatile Semiconductor Memories, 1991

## **EEPROM STUDY AND TESTING**

*Ivan Koutzarov, Vasil Dinov - SD Sofia  
Todor Savov, Borislav Bonchev - TU Sofia*

A chip EEPROM block diagram realised on the basis of CMOS technology for the purpose of technological and electrical characteristics investigation is presented.

An elementary memory cell and the parameters for the investigation - input and inner write and erase levels are described.

The algorithm of the chip testprogram is discussed. Functional and parametric tests as well as tests of the amplitude and the duration of the program impulse in regard to write and erase levels of the separate memory cells are accomplished.

The obtained results are processed and presented graphically according to the position of the separate cells on the chip.

Result analysis is applied in the process of designing of larger EEPROM areas in ASICs.