

Автоматизирано проектиране с помощта на големи програмируеми логически устройства

доц.ктн.инж.Й.Колев,ст.ас.инж.Д.Ковачев,асп.инж.Т.Ганчев
ТУ-Варна

Програмируемите логически устройства (ПЛУ) са една от разновидностите на цифровите интегрални схеми, добиваща все по-голяма популярност както при реализация на интерфейсна (свързваща) логика, така и в някои по-специфични приложения, включително специализирани машини за паралелна обработка, цифрова обработка на сигнали и др.

Обект на настоящия доклад са най-крупните представители на ПЛУ, характеризиращи се с най-висока степен на сложност и интеграция, а именно сложните и, в частност, големите PAL-базирани ПЛУ, както и FPGA структурите.



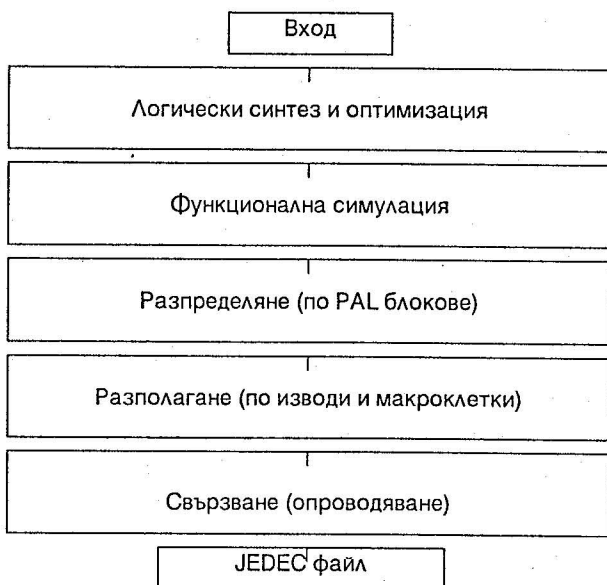
Фигура 1

Съгласно едно от определенията, предлагано от фирмата Altera [1], простите ПЛУ са интегрални схеми с брой на изводите до 44 и до 1000 логически вентила, а към сложните условно се отнасят тези, изводите и вентилите на които са съответно над 44 и 1000, съдържащи между 1500 и 12000 логически вентила.

На фиг.1 е показана обобщената структура на произведените от Altera [2] МАХ-елементи (Multiple Array Matrix). В конкретния случай устройството е

ЕРМ5128, което има 8 специализирани входа (включително тактовият), 64 програмируеми в/и (вход / изход) извода, 8 логически блока (ЛБ), 16 макроклетки и по 32 разширителя на терм-произведенията за ЛБ, като внасяното закъснение при разпространение на сигналите от извод до извод на чипа е [3] 10ns за ЕРМ7128Е и 12ns за ЕРМ7160Е, ЕРМ7192Е и ЕРМ7256Е.

Електрически изтриваемите СПЛУ MACH на AMD [4] имат фиксирани междуконтактни задръжки от 15/20ns и различна степен на сложност.



Фигура 2

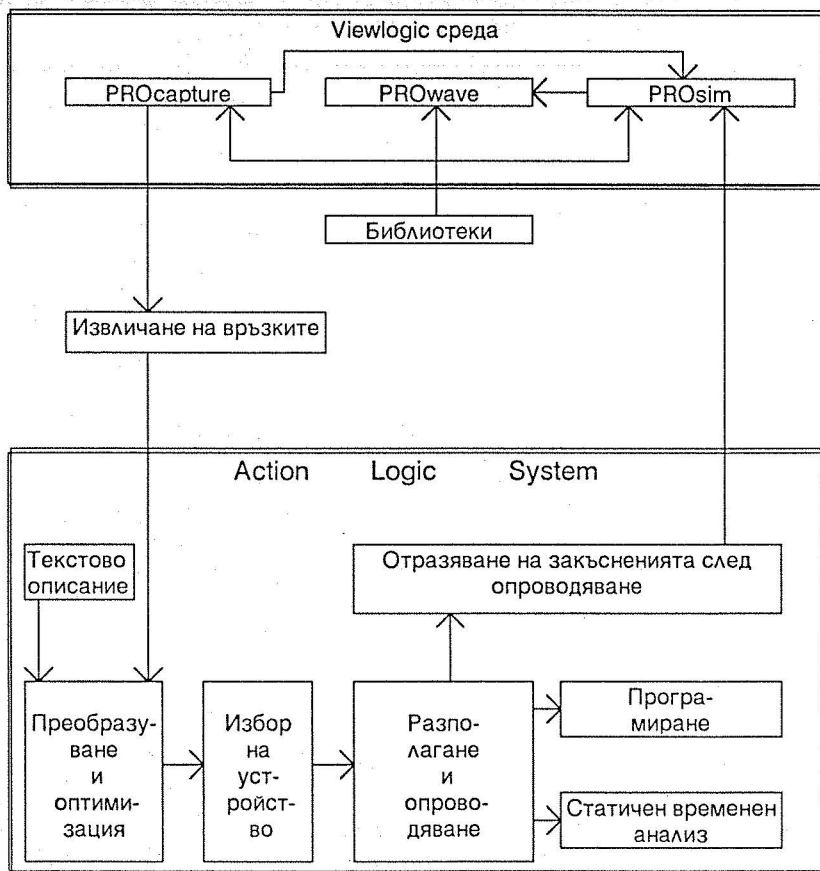
FPGA устройствата съдържат матрица от еднократно или многократно програмируеми логически клетки, съединявани чрез програмируема свързваща матрица. Условно FPGA архитектурите могат да се групират по различни признаци, например:

- * матрични:
 - 1) с матрично подреждане;
 - 2) с редово подреждане;
 - 3) море от вентили;

* логически блокове;

* възможности за програмиране: еднократно и многократно програмируеми и т.н.

Една от системите, позволяваща проектиране с MACH устройствата на фирмата AMD, е MACHXL. Тя е базирана на описание на схемата под формата на PALASM4 логически уравнения (или от JEDEC файл), и има показаната на фигура-2 обща структура [4].



Фигура 3

Като резултат на част от извършваните в катедра ETM на ТУ-Варна изследвания през 1995 бяха защитени и дипломни работи, в които са използвани MACH и FPGA устройства (на AMD и Actel), като се разработва и предназначен за използване в обучението на студентите PC-базиран лабораторен модел, позволяващ програмиране и проверка на MACH-устройство в условията на реално работеща потребителска система.

Предлаганата от Actel програмна система ALS (Action Logic System) позволява проектиране с помощта на еднократно програмируемите FPGA устройства от сериите ACT1, ACT2 и ACT3. Входът е описание в графичен или текстов вид, като във 2-я случай е възможно ползването на PALASM2 или VHDL. Графичната среда може да бъде различна, например OrCad, Viewlogic (които са PC-базирани), или Cadence и Mentor Graphics (за Sun или HP работни станции). В конкретния случай обработката е на компютър PC 386/486, като използваната програмна конфигурация е показана на фигура 3.

Viewlogic-средата позволява въвеждане и функционална симулация на устройството. С помощта на ALS-системата се преобразува и оптимизира началното описание, последвано от избор на конкретно устройство, в зависимост от което след това се прави разполагане и свързване на отделните схемни части в различните логически блокове. От така получената конкретна конфигурация се отчитат и извличат внесените закъснения, които могат да бъдат отразени при симулиране поведението на схемата (т.нар Post-Route Simulation).

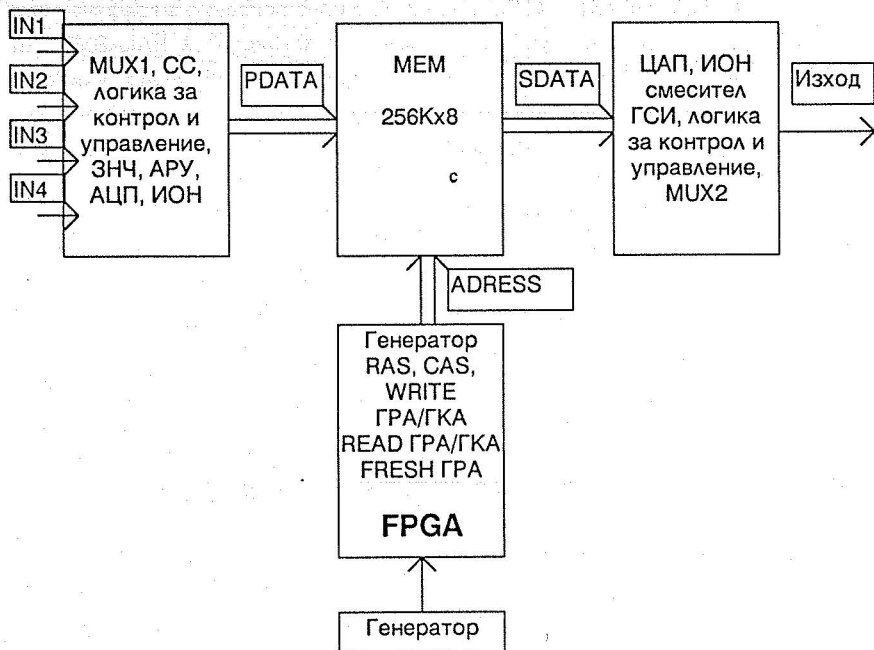
На фигура 4 е показано устройство, чрез което се извежда изображение от 4 телевизионни камери (едновременно или последователно) на един монитор. В неговата реализация беше приложено FPGA на Actel.

Когато се работи в режим 4-камери екранът се разделя на 4 прозореца, във всеки от които се извежда изображение от една камера. Разрешаващата способност за всяка от камерите е 256x256 пиксела, а цялостното изображение е с разделителна способност 512x512 пиксела. Вторият основен режим е изобразяване на една камера на цял екран. Камерите работят асинхронно, а синхронизирането им става посредством буферна памет, в която се записва изображението. Чрез MUX1 те се превключват последователно към останалата част от схемата. С помощта на синхро-сепаратора СС се отделят редовите и кадровите импулси от входния комплексен видеосигнал и по-нататък се използват за синхронизация на записа в паметта посредством логиката за контрол и управление.

Схемата за захващане нивото на черно ЗНЧ отделя синхроимпулсите от комплексния видеосигнал, който се оцифрова с АЦП и се записва през паралелния порт в буферна двупортова памет (256кВ). Адресирането на паметта се осъществява посредством адресни генератори (RAS и CAS цикли).

Извеждането на изображението се извършва през серийния порт на двупортовата памет и след като се преобразува от ЦАП-а в аналогов сигнал се смесва със синхроимпулсите, генерирани от ГСИ и чрез MUX2 се подава към изхода.

Устройството е реализирано с около 65 ИС (в това число 2 броя mC ST6210 и 2 броя GAL16V8). Консумацията му е 4W.



Фигура 4

В FPGA са интегрирани 5 9-битови брояча, няколко 3- и 2-битови, голямо количество логически елементи. В него са генераторите на RAS и CAS цикли и се синтезират управляващите сигнали за двупортовата памет. Освен това в FPGA са изпълнени генераторите на тактови сигнали за АЦП и за осигуряване на тактовите сигнали за циклите четене и запис от паметта.

Използването на пределната за АСТ1 външна честота (40MHz) се оказва невъзможно, т.като при симулация тактовите импулси не се разпространяваха към управляваните тригери. Поради това беше преминало към ускорена версия на най-малкия член на серията АСТ2 - А1225,-2 (25% по-високо бързодействие спрямо стандартното), а също така бяха използвани и възможностите за оптимизиране на критични (по отношение на бързодействието) вериги.

След пълно опроводяване беше извършена и симулация с отчитане на внесените от свързващите линии допълнителни закъснения. Получената при тази симулация информация позволи допълнително целенасочено коригиране на някои от сигналите, закъсненията в които нарушаваха правилната работа на устройството като цяло.

В окончателния вариант беше добавено и подредено фиксиране на част от външните изводи (от корпуса на интегралната схема), след което се оказва възможно да се премине към чип с по-ниска степен на ускоряване - A1225,-1 (15% ускоряване спрямо стандартния вариант).

Съществена е постигнатата икономия на площ и сложност на платката, намалена е консумираната мощност и е повишена надеждността, а броят на ИС е съкратен с 35.

Литература:

1. Dave Bursky - Denser, faster FPGAs vie for gate-array applications, ED, 1993, No.11
2. Altera Data Book, 1990 ed., October
3. Altera Corp., MAX7000 PLD Family, Sept. 1993, ver.1
4. AMD Inc., MACH3 and 4 Family Data Book, 1994
6. Xilinx Inc., The Programmable logic Data Book, 1993
8. Actel FPGA Data Book and Design Guide, 1994
10. AMD Inc., MACH Devices Applications Handbook, 1ed., 1993
11. Bob Klein - FPGAs take on Specialized DSP Functions, ED, June 12, 1995