

ЕДИН ПОДХОД ЗА АПАРАТНА РЕАЛИЗАЦИЯ НА ЦИФРОВИ ФИЛТРИ

гл.ас. инж. Александър Иванов Букев - кат. "Компютърни системи" при ВТУ"А.Кънчев"-Русе,
ст.ас. инж. Георги Николов Кръстев - кат. "Компютърни системи" при ВТУ"А.Кънчев"-Русе

Съвременният подход при реализация на цифрови филтри (ЦФ) се основава на използването на процесори за цифрова обработка на сигнали. Това изисква подходящи апаратно-програмни развойни средства, които не винаги са достъпни. Тази реализация е подходяща предимно при масово производство. При единично или дребносериенно производство е уместна апаратна реализация. В [4] са разгледани подробно въпросите за апаратна реализация на ЦФ. В качеството на елементна база се използват bit-slice микропроцесори и специализирани схеми от тип умножители, умножители-нагрупуващи суматори. Този подход е ефективен, но изисква също специализирани развойни средства и скъпа елементна база. Цел на настоящата работа бе апаратна реализация на ЦФ с използване на широко разпространената микропроцесорна елементна база и методите за проектиране на микропроцесорни системи.

При проектиране на ЦФ се изхожда от техните диференчни уравнения:

$$y(n) = \left[\sum_{i=1}^N a_i y(n-i) + \sum_{i=0}^N b_i x(n-i) \right] 2^{-M}$$
 за ЦФ с безкрайна импулсна характеристика (ЦФБИХ);

$$y(n) = \left[\sum_{i=0}^N b_i x(n-i) \right] 2^{-M}$$
 за ЦФ с крайна импулсна характеристика (ЦФКИХ).

С $y(n)$ и $x(n)$ са означени изходната и входна дискрети в момента n , с i закъснението им, а с N реда на филтъра. Множителят 2^{-M} отразява мащабирането на коефициентите на ЦФ при използване на целочислена двоична аритметика. Основните операции за изчисляване на $y(n)$ са умножение, събиране, закъснение, преместване. Горните формули предполагат паралелно изчисляване на $y(n)$, чрез едновременно

пресмятане на произведенията и сумиране. Този подход е разработен много добре в литературата, като са посочени пътищата за намаление броя на умноженията, сумиранията и закъсненията [5]. Основно предимство е високата скорост на обработка, която не зависи от реда на ЦФ. Необходими са само два такта за обработка: един за паралелно умножение-сумиране и един за закъснение на променливите, което е еквивалентно на едно изместване в памет тип FIFO (първи влязъл първи излязъл - опашка). Основен недостатък са големите апаратни разходи, което прави този метод целесъобразен само в критични по отношение на времето случаи.

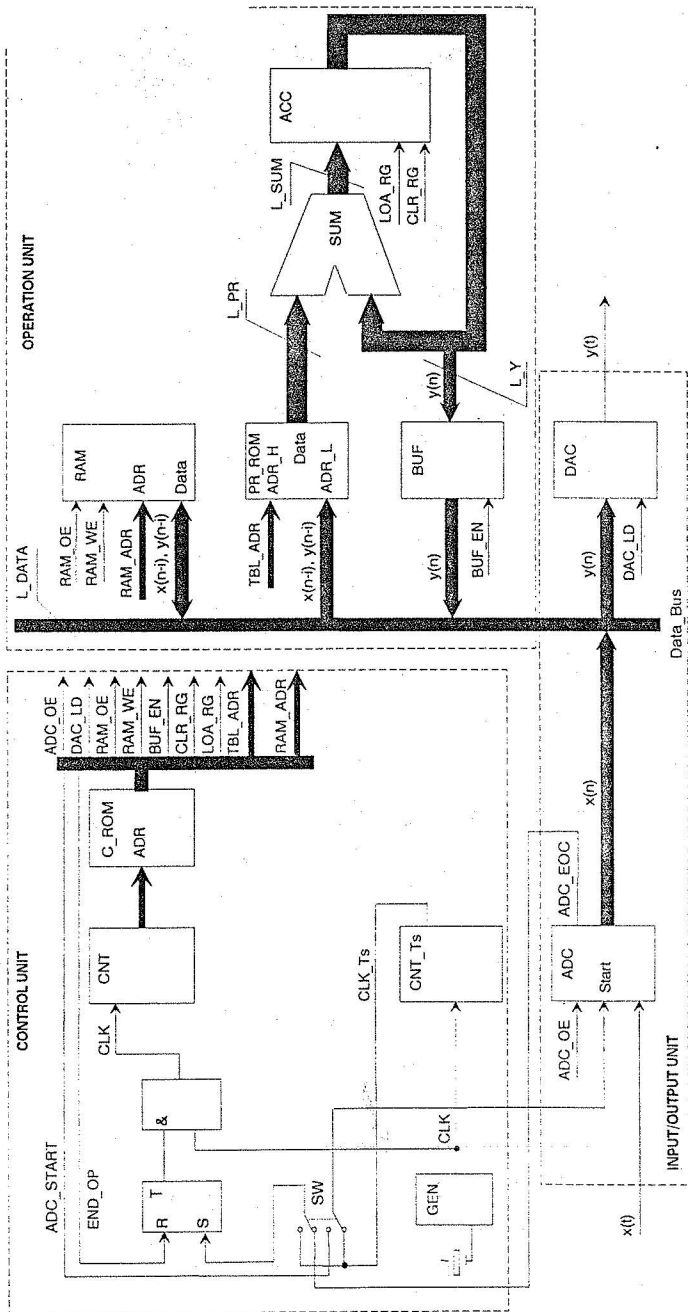
Най-често при апаратна реализация се използва умножение с натрупващо сумиране, т.е. последователно изчисляване на горните формули. При постоянни коефициенти е възможно умножителят да се замени с постоянна памет ROM, прилагайки таблични методи за умножение. Поради сравнително ниския обем на ROM-паметите през 80-те години се предлагат различни методи за намаляване размера на таблиците. Най-разпространен е методът с размяна реда на сумиране описан първо в [6], а по-късно използван в [1,2,3]. При него табличните произведения не са функция на променливите $x(n-i)$ и $y(n-i)$, както при директното таблично умножение, а на набор от едноименните (с еднакви индекси) разряди на тези променливи. Това изисква специализирана RAM-памет със сложна организация осигуряваща тези набори при адресиране на всяко произведение. Необходимият обем памет е равен на:

$$V = 2^k * S * L \quad \text{при директно таблично умножение;}$$

$$V = 2^S * k * L \quad \text{при таблично умножение със сменен ред на сумиране, където } V - \text{ обем на ROM в битове, } k - \text{ разрядност на } x(n-i) \text{ и } y(n-i), S - \text{ брой на коефициентите (} S=2N+1 \text{ при ЦФБИХ и } S=N+1 \text{ при ЦФКИХ), } L - \text{ разрядност на произведенията.}$$

Сравнението показва, че се печели обем за ЦФ с $S < k$, което при ЦФКИХ най-често не е изпълнено. Имайки предвид казаното до тук и наличието в момента на ROM-памети с обем 1 мегабит и време на достъп 50 ns авторите считат за целесъобразно използването на директно таблично умножение.

На фиг.1 е представена структурна схема на предлаганото решение. Апаратно реализираният ЦФ съдържа три основни блока:



Фиг. 1 Структурна схема на ЦФ.

-входно-изходен блок (INPUT/OUTPUT UNIT) преобразуващ непрекъснатия входен сигнал $x(t)$ в цифров $x(n)$, а цифровия изходен $y(n)$ в непрекъснат $y(t)$;

-операционен блок (OPERATION UNIT) изчисляващ $y(n)$;

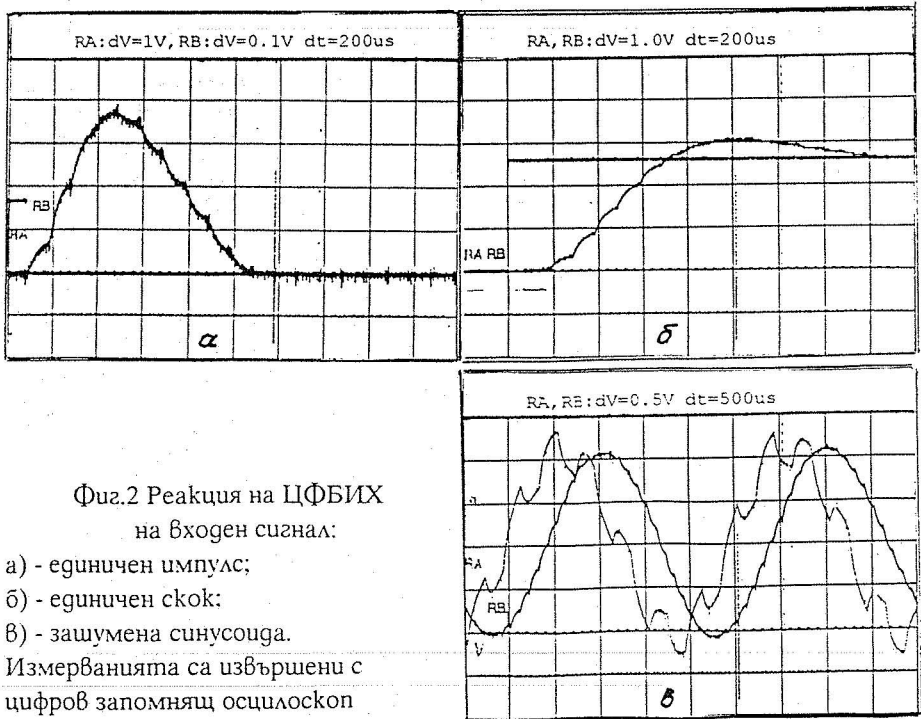
-блок за управление (CONTROL UNIT) изработващ всички управляващи сигнали.

Характерна особеност, типична за микропроцесорната схемотехника, е използването на двупосочна магистрала за данни Data_Bus с разрядност $L_DATA = \max[\text{разрядност на } x(n-i), \text{ разрядност на } y(n-i)]$. Двупосочността изисква всички изходи на схеми свързани към Data_Bus да са с три изходни състояния.

Операционният блок се състои от:

-памет с произволен достъп RAM адресирана като FIFO с цел реализиране закъснение на i такта на променливите x и y ;

-постоянна памет PR_ROM съхраняваща S таблици по 2^k произведения адресирани чрез $x(n-i)$, $y(n-i)$;



-нагрупващ суматор (SUM, ACC) формиращ L_SUM -разрядна сума от L_PR -разрядни произведения;

-буфер (BUF) свързан към L_Y разряда на акумулатора (ACC), чрез което се реализира умножение с 2^{-M} .

Управляващият блок работи на принципа на управляващия ROM и формира следните сигнали:

-ADC_START - стартира поредното преобразуване на аналого-цифровия преобразувател ADC;

-ADC_OE - разрешава изхода на ADC с цел запис на поредната стойност $x(n)$ в RAM;

-DAC_LD - запис на поредната стойност $y(n)$ в регистъра на цифро-аналоговия преобразувател DAC;

-RAM_OE и RAM_WE управляват четенето и записа от/в RAM;

-BUF_EN - разрешава извеждането на $y(n)$ към RAM и DAC;

-CLR_RG и LOA_RG управляват нулирането и зареждането на ACC;

-TBL_ADR - избират от PR_ROM таблица с произведения съответстваща на поредния коефициент a_i или b_j ;

-RAM_ADR - адресират RAM като FIFO;

-END_OP - спира подаването на импулси към CNT, с което извежда управляващия автомат в изходно състояние.

Управляващите думи се съхраняват в C_ROM и се адресират от брояча CNT с коефициент на броене равен на броя управляващи думи. Всички сигнали с изключение на RAM_ADR се повтарят всяка итерация състояща се от следните $s+3$ операции (състояния): изходно (празно); четене от ADC и запис в RAM на $x(n)$; s -пъти четене на $x(n-i)$ и $y(n-i)$ от RAM, четене на произведенията от PR_ROM и сумиране в ACC; запис на $y(n)$ в RAM и DAC. За да се организира RAM като FIFO е необходимо RAM_ADR да се повтарят всеки s итерации, т.е. броят на управляващите думи е $s(s+3)$.

В зависимост от времето за преобразуване на ADC - t_{ADC} ЦФ работи в два режима избирани чрез превключвателя SW. В указаното на фиг.1 положение на SW ЦФ работи, когато времето t_{ADC} е по-малко от времето за изчисляване на $y(n)$ - t_C . В този случай всеки T_S периода на тактовия генератор GEN се стартира ADC. Сигналят за край на преобразуването ADC_EOC установява тригера T, импулсите на GEN постъпват на CNT и започва поредното изчисление, т.е. можем да говорим за последователно преобразуване и изчисляване. Когато времето t_{ADC} е по-голямо от t_C всеки T_S периода се установява T и се

стартира поредното изчисление. В този случай първо се чете $x(n)$ от преходното преобразуване, а след това чрез ADC_START се стартира текущото преобразуване и едновременно с него започват изчисленията, т.е. тук се съвместяват във времето преобразуването на входния сигнал и изчисляването на изходния. Времето на най-бързата операция е равно на времето за достъп до PR_ROM и RAM, и времето за сумиране, което при съвременни схеми възлиза на 100 ns. За ЦФБИХ от II ред се получава време за обработка 800 ns, т.е. за лентата на входния сигнал се получава 0.625 MHz.

Предлаганият подход дава доста голяма свобода при проектиране на ЦФ. Променяйки съдържанието на PR_ROM можем да променяме коефициента на предаване и честотата на среза или пък типанискочестотен, високочестотен, лентов, заграждащ. Чрез смяна на C_ROM и коефициента на броене на CNT се сменя реда и вида (ЦФБИХ, ЦФКИХ), т.е. структурата на филтъра.

Използвайки описания подход бе реализиран макет на ЦФ с време на дискретизация $100 \mu s$, ограничено от използването на бавен аналогоцифров преобразувател ADC0808. На фиг.2 са показани реакциите на единичен импулс, единичен скок и зашумена синусоида на нискочестотен ЦФБИХ от II ред, апроксимация на Чебишев, с честота на среза 640 Hz. Използвани са 7 бита при представяне на $x(n)$ и $y(n)$ и 16 битово сумиране.

Литература

1. Брунченко А.В., Ю.Т.Бутылский, Л.М.Гольденберг, Б.Д.Матюшкин, М.Н.Поляк. Цифровые фильтры в электросвязи и радиотехнике. Москва, "Радио и связь", 1982.
2. Калабеков Б. Микропроцесоры и их применение в системах передачи и обработки сигналов. Москва, "Радио и связь", 1988.
3. Капеллини, В., А.Дж.Константинидис, П.Емилиани. Цифровые фильтры и их применение. Москва, "Энергоатомиздат", 1983.
4. Петровский А.А. Методы и микропроцесорные средства обработки широкополосных и быстропротекающих процессов в реальном времени. Минск, "Наука и техника", 1988.
5. Lam, H.Y-E. Analog and Digital Filters. New Jersey, Prentice-Hall, Inc., 1979.
6. Peled A., V.Liu. A new hardware realization of digital filters. I.E.E.E. Trans.Acoustics, Speech and Signal Processing ASSP-22, 6, 456-62, 1974.

An Approach for Hardware Implementation of Digital Filters (DF)

Ass. Prof. Eng. Alexander Bukev

Ass. Prof. Eng. George Krastev

Summary

The paper contains a description of a digital filter that implements the multiplication by means of tables, stored in ROM type memory. A prerequisite for the chosen scheme approach is the availability of ROM type memories with a low price and a large capacity. An essential peculiarity of this solution is the application of a direct tabular multiplication of a variable by a coefficient, i. e. the product is a function of the variable. In specialised references another approach is most frequently proposed, i.e. the order of additions is changed and thus the multiplication becomes a function of the sing digits of all variables that form the sum. This solution leads to more compact tables but requires specialised memory that has properties of FIFO memory and also of a multi-digit consecutive shift register. This memory provides the possibility of changing the order of addition and also assures the addressing of the tabular multiplications. The latter solution was imposed years ago by the high price and the low rate of integration of ROM memories.

During the design work the main principle of the microprocessor circuit engineering was used, i. e. the bus organisation. The offered structural scheme is oriented to TTL and microprocessor compatible basis of elements.

Using the offered approach a digital filter of 2nd sequence was realized. with a A/D conversion frequency of 10 kHz. Experimental results from the operation of the offered DF are attached herewith.