

ИЗСЛЕДВАНИЯ И РАЗРАБОТКИ ПО ЦИФРОВА ОБРАБОТКА НА СИГНАЛИ.

доц.к.тн.инж.	Йордан Николов Колев	БМЕИ-БАРНА
ст.ас.инж.	Веселин Иванов Пенчев	БМЕИ-БАРНА
инж.	Тодор Димитров Ганчев	БМЕИ-БАРНА
инж.	Галин Димитров Григоров	БМЕИ-БАРНА
инж.	Илия Иванчев Илиев	БМИ-БАРНА

Докладът обобщава опита натрупан през последните 7-8 години в лабораторията по микропроцесорни системи на катедра ЕТМ при БМЕИ-Барна. Разглежданите разработки обхващат широк кръг от проблеми свързани с цифровата обработка на сигнали (ЦОС).

Разработена е серия модули АЦП за въвеждане на аналогови сигнали в 8-битови ПК от типа APPLE II, програмируеми контролери ИЗОМАТИК 1001УК и 16-битови ПК IBM PC. Всички те са изградени на база АЦП CM757, мултиплексирани аналогови входове и аналогова памет.

Като илюстрация на възприетите технически решения на фиг.1 е показана блок схема на модула АЦП за IBM PC. Той съдържа 32 несиметрични или 16 диференциални аналогови входа, програмируем усилвател, възможност за въвеждане на двуполярни сигнали чрез програмно изместване на нулата от 8-битов ЦАП, 7 TTL изхода, и 3 TTL входа.

С тези модули са реализирани следните приложни системи, в които цифровата обработка на сигналите се осъществява от конвенционални процесори и съответно програмно осигуряване:

- Система за сбор и обработка на данни при изпитване на механични съоръжения с удар.
- Система за измерване на хидродинамичните усилия в корабни модели.
- Система за сбор и обработка на биологични сигнали (ЕЕГ, РЕГ, ЕКГ).

При вторият подход се използват специализирани процесори за ЦОС. Разработена и реализирана система за ЦОС, изградена на базата на сигнал процесора TMS320C25 на фирмата Texas Instruments. Системата е предназначена за използване в стандартна IBM PC/AT конфигурация и заема един 16 битов слот.

Системата за ЦОС се състои от цифрова и аналогова част, разработени на отделни платки и свързани в структура тип сандвич. Това позволява използване на различни сменяеми модули АЦП - ЦАП за покриване на широк диапазон от задачи и лесно адаптиране към различни приложения.

Големата производителност на процесора TMS320C25, (10 MIPS), правят

системата за ЦОС универсално средство за решаване на голям брой задачи: обработка на речеви сигнали в реално време; прецизно управление на промишлени работи; обработка на статични изображения и др.

TMS320C25 е реализиран по модифицирана Харвардска архитектура с разделена памет за програма и данни, но с възможност за трансфер на блокове между тях. Процесорът е снабден с 16x16 битово умножаващо устройство, 32-битов акумулатор, преместващи регистри. В TMS320C25 са вградени още тактов генератор, таймер, сериен канал, 4К-думи ROM и 544 думи RAM.

Блоквата схема на модула за ЦОС е показана на фиг. 2.

Външната за процесора даннова памет е реализирана със статична RAM памет и в зависимост от конкретното приложение може да бъде с обем от 8К-думи до 256К-думи. Разделена е на страници от по 64К-думи. Външната програмна памет може да бъде статична RAM или EPROM и е с обем от 8К-думи до 64К-думи. За съгласуване на въздействието на сигнал-процесора с различни паметии се използва генератор на тактове за изчакване е реализиран с PAL. Данновата и програмна памет на системата за ЦОС могат да се адресират от IBM PC/AT и заемат един мегабайт от адресното му пространство. Достъпът до тази памет се определя от арбитражна логика, реализирана в PAL.

Интерфейсът за връзка с IBM PC/AT включва адресни и даннови буфери за връзка с вътрешносистемния интерфейс и регистър за запомняне на старшите адреси, които не са активни през целия цикъл на I80286.

Модулът АЦП-ЦАП е втората съставна част на системата за ЦОС. Разработени са два варианта на този модул. В първия случай той е изграден на базата на аналоговата интерфейсна схема TLC32040C на Texas Instruments, която представлява цялостна входно/изходна система. Тя съдържа следните основни блокове: входен лентов филтър; 14-битов АЦП; сериен канал с четири режима на работа (съвместими с тези на процесорите от фамилията TMS320); 14-битов ЦАП; нискочестотен изходен филтър. Максималната честотата на дискретизация на TLC32040C е 19,2 КHz. Режимите на работа на TLC32040C се задават програмно.

Освен TLC32040C, модулът АЦП-ЦАП съдържа входни усилватели (единият от които е диференциален) и мощен изходен усилвател.

Разработен е и втори вариант на аналоговата част на системата за ЦОС : на базата на АЦП CM757 и ЦАП CM758.

Системата за ЦОС се предлага със системно и приложно програмно осигуряване. Системното програмно осигуряване включва програми за превключване на процесора I80386 в защитен режим, програма за прехвърляне

на блокове данни от/към системата за ЦОС и рестартиране на сигнал-процесора. Приложното програмно осигуряване включва програми реализиращи цифрова филтрация и преобразуване на Фурие.

Възможностите на модула за ЦОС могат да се разширят значително за сметка на приложното програмно осигуряване, което се предлага безплатно от Texas Instruments и редица университетски изследователски центрове чрез BBS или мрежата INTERNET.

Други задачи в разглежданата област решавани от авторския колектив са свързани със системите за техническо зрение (СТЗ) - обработка на изображения и разпознаване на образи. Разработен е VME-FGM модул за въвеждане на изображения от видео-камера в микрокомпютър. Основните функции на модула са: дигитализиране в реално време на CCIR чернобял видеосигнал, съхраняване на полученият кадър в паметта на модула, възпроизвеждане върху стандартен TV монитор на съхранените кадри. Модулът е пасивен и е съвместим с всеки VMEbus микропроцесорен модул с конфигурация D16/D32 и A24.

В паметта на FGM може да се съхранява 1 кадър с формат 512x512 или 4 кадра с формат 256x256 пиксела. Благодарение на наличната LUT, могат да се извършват някои предварителни обработки, като повишаване на контраста, бинаризация на изображението и др.

За разглеждания FGM е разработено системно програмно осигуряване, включващо мониторна програма за микрокомпютъра MVME133 и комплект програми за обслужване на модула. За да се улесни обработката на информацията като се осигури съвместимост на СТЗ с някои широко разпространени програмни продукти за графична обработка е разработено програмно осигуряване за прехвърляне на съхранени кадри от VMEbus системата към персоналния компютър IBM PC/XT/AT.

В процес на разработка е FGM за IBM PC/AT. Модулът е изграден на базата на специализирания графичен процесор на TI TMS34010, заема един шестнадесетбитов периферен съединител и дава възможност за въвеждане и запомняне в реално време на кадър с размер 1024x1024 пиксела (8 бита за пиксел).

Структурната схема на модула е показана на фиг.3.

Входната декодираща логика обслужва достъпа до модула от AT магистралата и осигурява изработването на сигнала за начално установяване на модула. FGM заема 8 адреса в I/O пространството на PC (4 шестнадесетбитови порта).

Използуваният графичен процесор на TI представлява универсален мощен 16/32 битов процесор, който има вграден CRT контролер и допълни-

телно вградени команди за работа с пиксели и пикселни масиви. Броят на битовете за пиксел се избира програмно и варира от 1 до 16 бита. Графичните команди осигуряват лесна и бърза обработка на прозорци от изображението, като например прехвърлянето им с едновременно маскиране на отделни пиксели и някаква друга логическа обработка на останалите.

Графичният процесор поддържа директен интерфейс към многопортови VRAM. Той осигурява също и директен достъп и на главния процесор към цялото си вътрешно адресно пространство чрез 3 от своите портове, свързани към AT BUS.

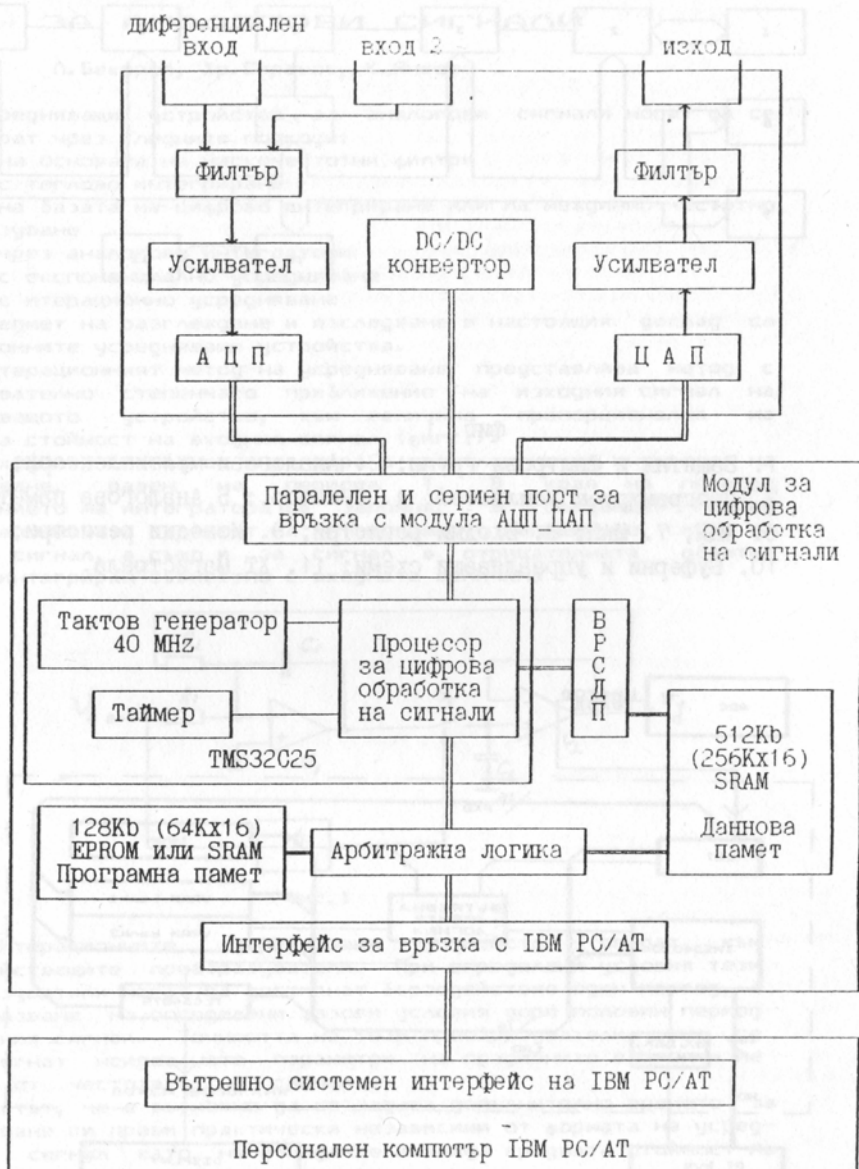
Входният LUT е изграден със SRAM от типа 6264. Това дава възможност за предварително зареждане на 32 прекодиращи таблици, които могат да се превключват програмно.

Вътрешната логика е синтезирана на базата на PAL. Тя осигурява дешифриране на адресното пространство на процесора, както и изработването на някои служебни сигнали за опресняване на дисплея.

Модулът няма твърда програмна памет, а само динамична RAM, в която се зарежда програмното осигуряване при начално установяване на модула чрез директен достъп от главния процесор. Възможно е да се зареди компилатор на език от високо ниво, предлаган от производителя (TI). Обемът на тази памет е 512 KB.

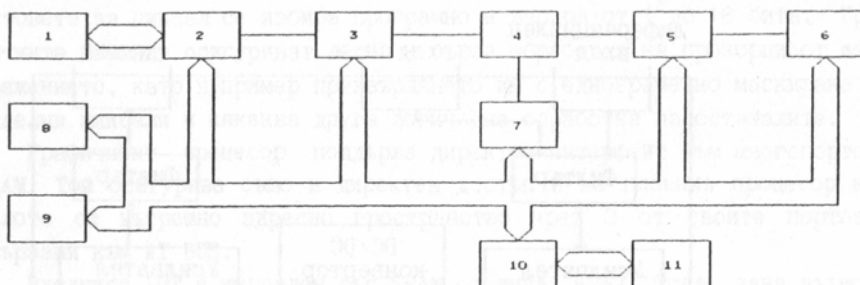
Кадровият буфер е с размер 1 МБ. Построен е на базата на двупортови VRAM. Паралелните портове са свързани към вътрешната процесорна магистрала. Чрез тях процесорът обработва изображенията и управлява опресняването на дисплея. Серийните портове на VRAM са свързани в локална пикселна магистрала заедно с входния LUT и изходния ЦАП. По тази магистрала става запис на кадъра в паметта, а така също извеждане на на яркостната информация към контролния видеодисплей.

Преобразуването на цифровата информация във видеосигнал се извършва от специализирана интегрална схема на TI TLC34075. Тя се състои от три осембитови ЦАП с мултиплексирани входове, на които информацията се подава след преминаване през вграден псевдоцветен LUT с организация 256x24. Тази схема управлява директно статичните изходи на VRAM, изработва синхронизиращите сигнали за монитора и за графичния процесор. Благодарение на вградения LUT има възможност за оцветяване на черно-бели изображения и за бързо изчистване на екрана. TLC34075 има възможност да извежда на екрана оверлейни изображения в 256 цвята.



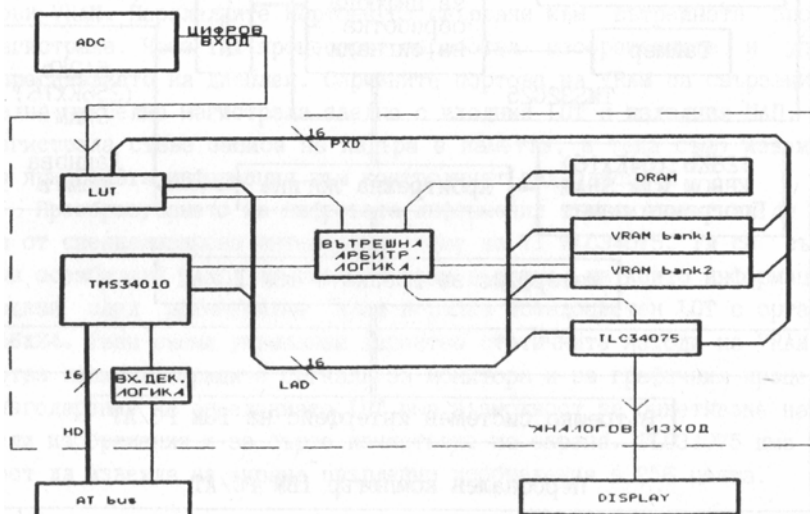
Блокова схема на системата за ЦОС

Фиг. 2



Фиг. 1

1. Защитни и филтрови групи; 2. Аналогови мултиплексори;
3. Програмируем усилвател; 4. Суматор.; 5 Аналогова памет;
6. АЦП; 7. ЦАП; 8. Входни регистри; 9. Изходни регистри;
10. Буферни и управляващи схеми; 11. XT магистрала.



Фиг. 3