

ВЪВЕЖДАНЕ НА ИНФОРМАЦИЯ ОТ ТЕЛЕВИЗИОННА КАМЕРА В
МИКРОПРОЦЕСОРНА СИСТЕМА

доц. к.т.н. инж. Рачо Маринов Иванов - ТУ - София

к.т.н. инж. Георги Славчев Михов - ТУ - София

инж. Митьо Георгиев Митев - ТУ - София

Настоящата публикация разглежда проектирането на модул за въвеждане на информация от телевизионна камера в цифров вид със следните изисквания:

- размерност на изображението - 256 x 256 точки с по четири бита за яркостна грагация на сигнала;
- възможност за визуализация на сигнала на монохромен или цветен видеодисплей;
- съвместимост на модула с VME-магистрала.

Въвеждането на информация от TV камера в микропроцесорна система е въпрос, който е решаван от редица фирми, чиито решения се различават главно по формата на изображението и по точността на дискретизация. Така например фирмата Itran е успяла на една платка да реализира система за дискретизация на видеосигнал MVP-1000 [1], предназначена за контрол на обекти. Разрешаващата способност на системата е 320 x 240 точки при 64 грагации на яркостта. Изградена е на базата на микропроцесор MC68010 и съдържа в себе си процесор за обработка на изображението.

Подобни функции изпълнява и модулът за обработка на изображението от системата Euclid на фирмата Dafacube [2], който е съвместим с VME-магистрала.

Макар, че по своя формат, разрегност и честота на дискретизация на TV-сигнал [3] съществуващите модули изпълняват задачата, то изискването за едновременна обратна визуализация на дискретизирания или обработения сигнал ги прави малко подходящи за конкретната цел. Решението на задачата би могло да се извърши чрез използването на втори модул за управление на растерен видеодисплей. От схемотехнична гледна точка и по съображения за надежност това е по-сложния път, поради което се наложи разработването на специализиран входно-изходен модул за TV-информация.

Функционалната схема на модула е показана на фиг. 1. Основният блок в нея е блокът на видеопаметта (VIDEO RAM). Обемът

му се определя от размера на изображението, броя на битовете за определяне на яркостната градация на сигнала и броя на поддържаните екранни страници. За зададеният формат на изображението и при възможност за обезпечаване на четири екранни страници е необходима 128 K byte памет. Броят на паметите и техният вид е определен, като е взето предвид, че VME-BUS може да извършва обмен с 32-разредна гума. Угачно се оказва паметта да бъде изградена с четири памети 62256, които са по 32 K byte.

Агресът за видеопаметта се формира от блока адресни мултиплексори (ADDRESS MUX). Той превключва адресите към видеопаметта или от VME-BUS или от CRTС. Обменният цикъл на модула (състоящ се от 8 такта на честотата 6 MHz) е разделен на три части. Първата част, с продължителност 6 такта е отредена за VME-BUS. Втората част, с дължина 1 такт е за достъп до видеопаметта на CRTС. Третата част е за достъп на TV камерата. През последните две части към видеопаметта се подават адресите от CRTС, като се променят само старшите четири, указващи коя страница се визуализира и в коя се въвежда TV-информацията.

Дешифраторният блок (ADDRESS DECODER) синтезира сигналите за избор на областите от паметта, заети от CRTС и от видеопаметта. От тях и с помощта на допълнителни сигнали от VME-BUS управляващата логика (CONTROL) генерира и сигнали за управление на буферите и за управление избора на отделните памети. Управляващата логика изработва сигнал DTACK - отговор към управляващото устройство, че модулет е готов да подава или да приема информация. Особено внимание е обърнато при формирането на сигнала WE, управляващ режима на работа на видеопаметта. Този сигнал да осигурява ниво логическа 0 при опресняване на видеопаметта с информация от TV-камерата, логическа 1 при четене на видеопаметта от CRTС за визуализация и отговаря на сигнала R/W, при обмена с VME-BUS (вж. фиг. 3).

Блокът за управление на електроннолъчева тръба (CRTС) използва интегралния контролер MC6845. Изходите му за адреси в паметта и за редови адреси участвуват равностойно във формирането на адреса към паметта.

Практиката на дискретизиране на TV-информация дава два възможни варианта за решаване. Първият изисква "водеща" да бъде камерата, а видеоконтролера да се синхронизира с нея, т.е. да бъде "подчинен". Втората възможност предлага видеоконтролерът да бъде водещ, а камерата подчинена. Тъй като в случая е необходима

функция за визуализиране на въведената или обработената информация за настоящата разработка е приложен втория вариант.

Блокът на преместващите регистри (SHIFT REGISTERS) е този възел на модула, който дава възможност едновременно да се съчетаят функциите на въвеждане на видеоинформация във видеопаметта и обратното и извеждане за визуализация. Той е съставен от четири еднакви подблока, всеки от които обработва по един от четирите паралелни бита на видеоинформацията. Схемата на подблока за бит В0 е показана на фиг. 2. Работа на модула е илюстрирана от показаните на фиг. 3 времедиаграми. Тактувани от сигнала 6MHz, преместващите регистри преобразуват паралелно заредената в тях информация в последователен видеосигнал. На всеки 8 такта на честотата се извършва по едно паралелно зареждане на нова информация от видеопаметта под управлението на сигнала S/L. Едновременно с преместването от блока за аналогово-цифрово преобразуване последователно постъпва цифрова информация. Така след осмия такт в преместващия регистър са навлезли осем последователни бита от АЦП. При паралелното зареждане на преместващия регистър с информация от видеопаметта, съдържащата се в него натрупана информация от АЦП се прехвърля в паралелен регистър 74LS374, от който в следващия такт информацията се записва във видеопаметта. Въведено е специално кръстосано свързване на изходите на видеопаметта с входовете за паралелен запис на преместващите регистри, с цел в една гълга 32-битова дума да се съдържа цялата информация за четири последователни точки от визуализираното поле.

Телевизионната камера се управлява от специален блок (TV CONTROL). Синхронно със работата на CRT контролера той формира към видеоканерата три честотни сигнала - кадрова честота, редова честота и двойна редова честота.

Управление на видеомонитор се осъществява от преобразователен блок (TV CONVERTOR). Той съдържа в себе си 4-битов цифрово-аналогов преобразувател, който възстановява монохромен видеосигнал със 16 яркостни градации и смесвайки го по подходящ начин с редовите и кадровите синхроимпулси изработва комплексен телевизионен сигнал. Успоредно с това четирите видеосигнала, отговарящи на съответните битовете на информацията, са изведени буферирани и могат да се свържат към R, B, V и I входовете на цветен монитор за възстановяване на псевдоцветно изображение.

Цялостната работа на модула се синхронизира от блока на тактовия генератор (CLOCK). От кварцово стабилизирана честота 12

MHz той изработва сигналите за тактова честота на дискретизация 6 MHz, за разрешение на модула, за такт на CRTС, за формиране на WE, за разрешение на обмяна с VME-BUS и др.

Блокът за аналогово-цифрово преобразуване (ADC) се състои от нормиращ усилвател, изграден с LF157 и интегрален аналогово-цифров преобразувател K1107ПВ1. Последният е 6-битов, но се използва като 4-битов, като младшите два бита не се използват. Работи на принципа на паралелното преобразуване с максимална честота 20 MHz, което напълно удовлетворява изискванията на модула.

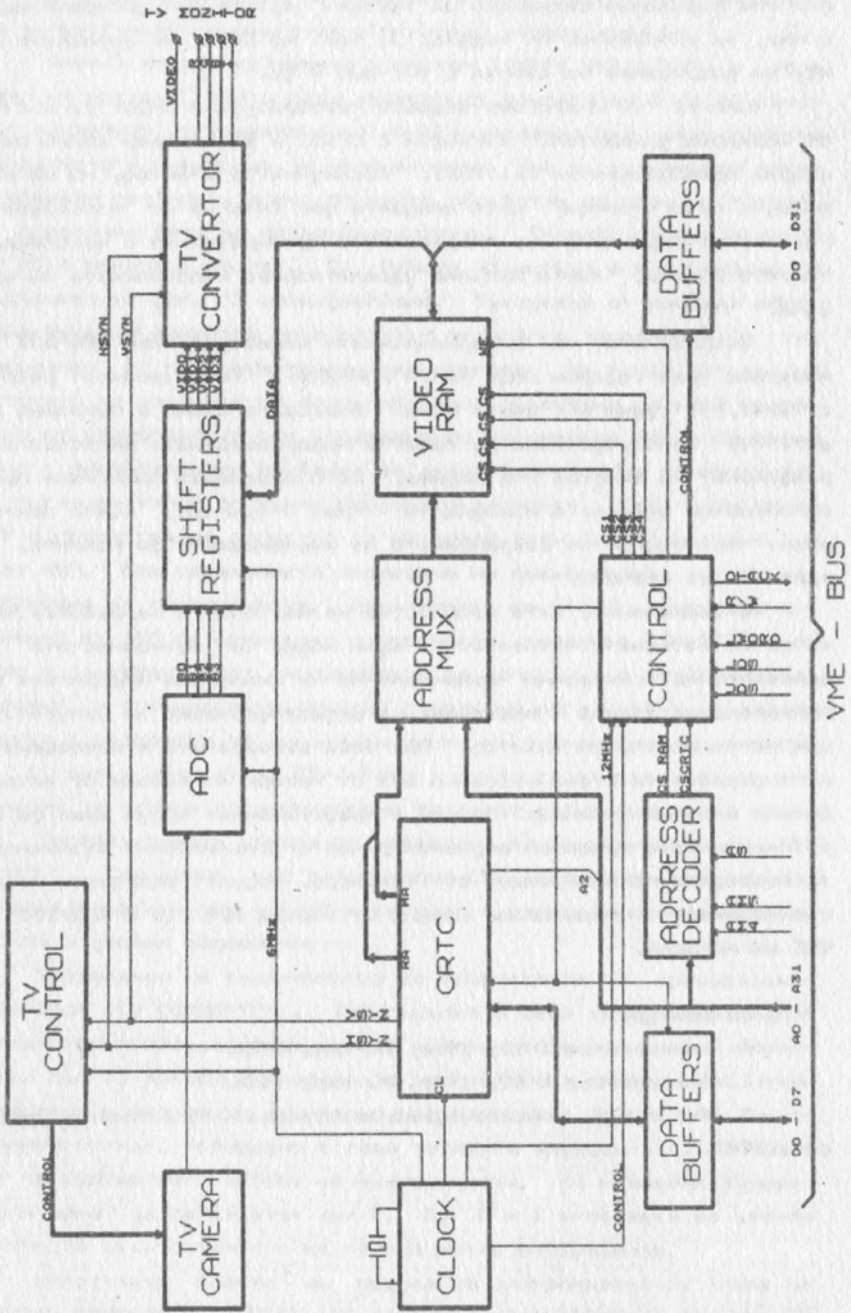
Свързването на информационната магистрала към VME-BUS се извършва чрез буферен блок (DATA BUFFERS). Те позволяват работа с байт, с дума и с дълга дума. Блоквата схема е показана на фиг. 4. Непосредствено до паметта информационната магистрала е разделена на входяща и изходяща, като входящата преминава през еднопосочни буфери, а изходящата - през D-тригери, които осигуряват възможност за съхранението на информацията до момента, в който ще се прочете.

В заключение, като предимство на настоящата разработка може да се изтъкне съчетаването в един модул на възможностите за едновременно синхронно въвеждане на аналогова информация от телевизионна камера и извеждане на видеoinформация за визуализация на телевизионен монитор. При това въвеждането и извеждането на информацията става разделно в и от четири избираеми от потребителя екранни страници. Затова и представеният модул може да се разглежда като графичен видеоконтролер с допълнителна възможност за въвеждане на информация от TV-камера. Модулът осигурява пълна съвместимост с управляващи модули от версия A24/D16 и A32/D32 за VME магистрала.

Литература:

1. Електроника № 11, 1986, М. Мир, 1986.
2. Електроника № 12, 1986, М. Мир, 1986.
3. Малешко Е. Наносекундна електроника. М., Энергоатомиздат, 1987.

FIG. 1.



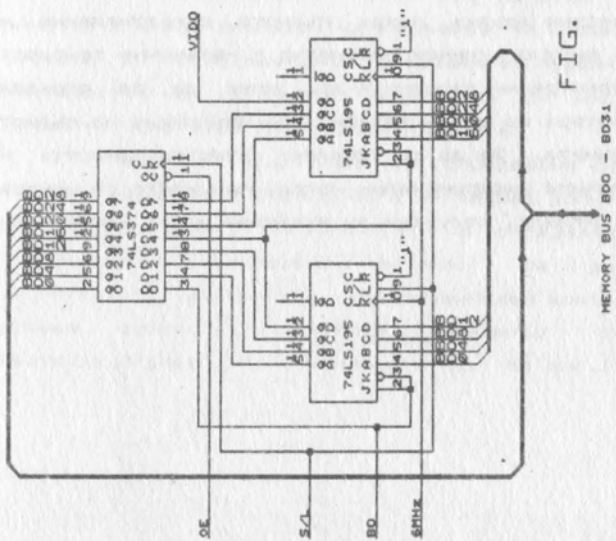


FIG. 2.

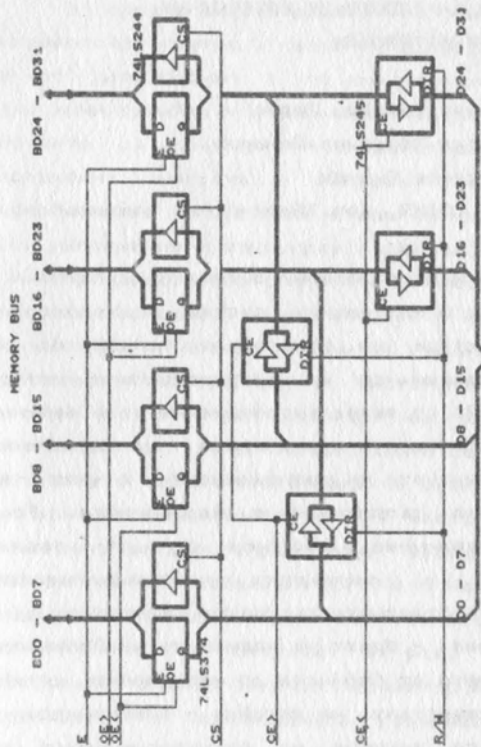


FIG. 4.

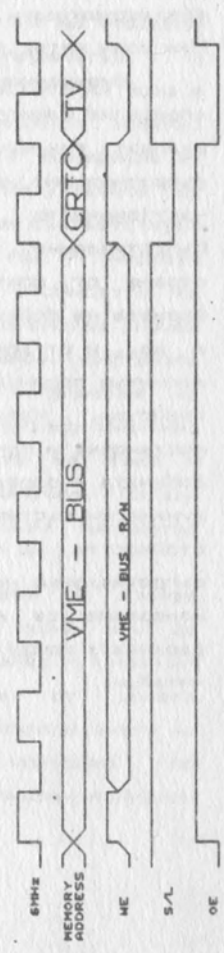


FIG. 3.