

**РЕСИМУЛАЦИЯ НА ЦИФРОВИ ПЕЧАТНИ ПЛАТКИ**  
ст.ас. инж. Василий Платонович Чумаченко  
доц. ктн. Тая Крумова Василева  
инж. Елена Георгиева Василева  
Технически Университет - София

**Въведение**

Разработката на съвременни сложни изделия на радиоелектрониката изисква използването на средства за автоматизация при проектирането. Непрекъснатото повишаване вързодействието на електронните схеми поставя все по-големи изисквания към конструирането на печатни платки. При вътрешни закъснения на елементите на схемата от порядъка на няколко наносекунди става наложително отчитането на времето на разпространение на сигналите по свързващите писти, което е от същия порядък и се дължи на паразитните елементи на пистите. Затова след окончателното проектиране на печатната платка се извършва ресимулация на проекта, за да се провери работоспособността му след физическата реализация при известни стойности на паразитните елементи. За целта е необходимо да се определят времената за разпространение на сигналите при конкретната топология на печатната платка, тъй като те пряко зависят от дължините на пистите.

В работата са предложени метод, алгоритъм и програма за изчисление на времената на разпространение на сигналите от описанието на многослойна печатна платка, зададено във формата на пакетите за автоматизация на проектирането на печатни платки на фирмата RACAL-REDAC [1]. Разработеният алгоритъм е ориентиран към осъществяване на ресимулация със симулатор за цифрови схеми CADAT [2]. Определените закъснения се отчитат като се присвояват на входовете на интегралните схеми и свързаността на електрическата схема автоматично се трансформира във файл с формат, удобен за извършване на логическа симулация със симулатора CADAT. Този подход позволява да се анализира електрическата схема преди и след конструктивното ѝ проектиране, за да се гарантира нейната работоспособност.

**Метод и алгоритъм**

Целта на алгоритъма е да извлече закъснението на сигналите за всяка писта от файла с текстово описание на данните за платката. Последователността на работата е следната:

- Извлича се необходимата информация от файла с описанието на платката създаден с програмата PASCII на пакета REDBOARD. Обработват се секциите за присвоявания (.ASS), списъкът на връзките (.CON), данните за пистите (.ROU) и списъкът с типа на елементите (.IPL).

- Определя се свързаността на схемата и се изчисляват дължините на пистите.

- Изчислява се скоростта на разпространение на сигналите по пистите V като се използва емпиричната зависимост [3]

$$V = 0.0848 (0.475 E_r + 0.67)^{1/2}, [\text{ns}/\text{inch}]$$

C  $E_r$  е означена диелектричната проницаемост на изолационния слой.

- Определя се времето за разпространение на сигналите по конкретната писта

$$T = V.D, [\text{ns}]$$

където D е дължината на пистата в ичове, а T е търсеното закъснение, причинено от паразитните елементи на пистата.

- Изчислените закъснения се отразяват в електрическата схема като се привавят към собствените закъснения на елементите ѝ.

Входовете и изходите на всяка интегрална схема се определят от описанието на изводите им, зададено в библиотеката на елементите PARTS.LIB. Тъй като стандартната библиотека за персонален компютър не съдържа информация за типа и товара на изводите на интегралните схеми се наложи преработването ѝ, съобразно изискванията дадени в [3].

Програмата CADAT позволява допълнителните задъснения да се присвояват както към входовете така и към изходите на елементите. С цел да се избегне неопределеността при случаните на разклоняване на пистите в описания алгоритъм е използван първият подход. Възможни са следните варианти:

1. Ако пистата започва от краче на куплунг или изход на елемент и завършва до едно или няколко входни крачета на елементи от платката, закъсненията се изчисляват и присвояват поотделно за всеки вход;
2. Ако пистата започва от изходно краче на елемент и завършва на краче на куплунг, тази връзка се разкъсва и се въвежда псевдоелемент, към чийто вход се присвоява закъснението.

- Последната стъпка от алгоритъма е трансформация на свързаността на схемата във формата на входните данни за логическия симулатор CADAT и отразяване на определените времена на разпространение на сигналите. Изчислените паразитни закъснения се описват в TIMING секцията на CADAT файла като закъснения на съответните активни елементи.

#### Програмна реализация

По разработения алгоритъм е реализирана програма на езика PASCAL. Необходимата за работата ѝ входна информация се извлича от файл, съдържащ данните за платката в MAXI формат. Това е стандартният текстов формат за описание топологията на печатни платки, който се използва в CAD системите VISULA, DSM 6, REDBOARD и CADSTAR. В резултат от работата на разработената програма се създава изходен файл, чието име се задава от потребителя. Данните от този файл се използват като входен навор за осъществяване на логическа ресимулация със симулатора CADAT и осигуряват проверка за достоверност на проекта след физическата му реализация като печатна платка.

#### Пример

Показаните на фиг.1 две тестови схеми са реализирани на част от платката от фиг.3. На входовете EC4 и EC2 се подава постоянно логическа нула, а на DR1 и DR3 - логическа единица. Сигналите на входовете EC1 и DR2 се променят от нула в единица. При тези входни въздействия сигналът EC5 трябва да остане в нула, а сигналът DR4 да премине от нула в единица. Това може да се навлюдава при логическата симулация на "идеалната" схема. След физическата реализация свързващите писти на платката внасят допълнителни закъснения. Те са отразени на фиг.1 до съответните връзки като са дадени само закъсненията по-големи от 0.1ns в клоновете, където има промяна на сигналите. Резултатите от симулацията на схемата с довавените закъснения са показани на фиг.2. Както се вижда вследствие на състезанията на сигналите в първата схема се появяват статични, а във втората - динамични рискове, отразени на времедиаграмите със стрелки.

#### Заклучение

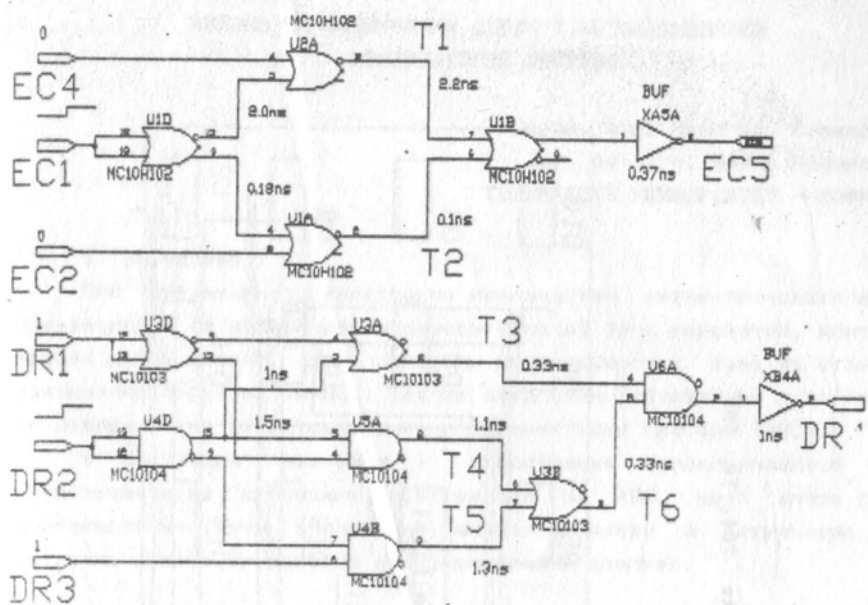
Разработеният алгоритъм за извличане на времената за разпространение на сигналите от описанието на топологията на печатни платки позволява извършване на ресимулация на схемите след конструк-

тивното им проектиране. Осъществяването на ресимулацията с реални стойности на закъсненията от междусъединенията дава възможност да се открият потенциални състезания на сигналите, водещи до динамични и статични рискове, както и да се оцени цялостното въздействие на схемата.

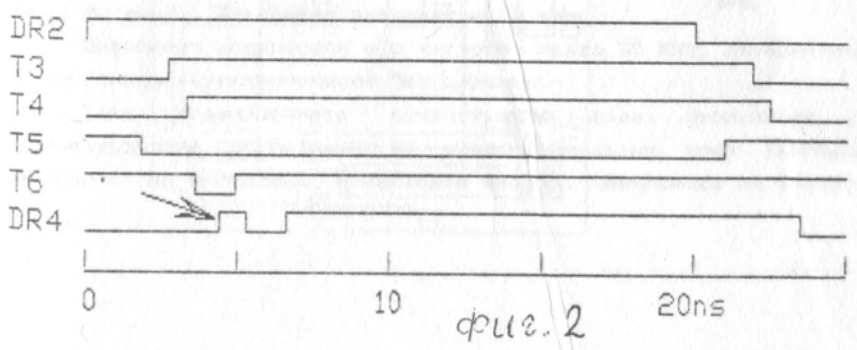
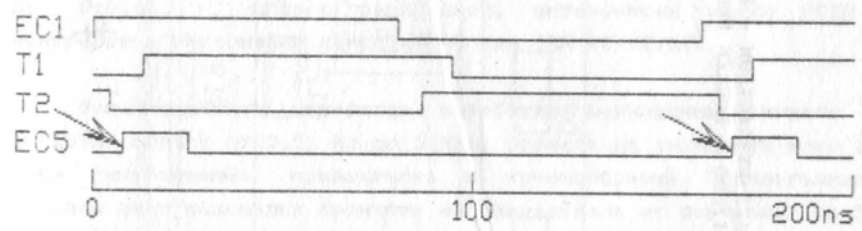
Разработената програма реализира връзка между пакетите за проектиране на печатни платки на фирмата RACAL - REDAC и логическия симулатор CADAT, позволявайки да се затвори цикъла - електрическо проектиране, конструктивно проектиране и проверка за достоверност на проекта. Това спомага да се минимизират грешките от електрическото и конструктивно проектиране на схемата и увеличава гаранциите за работоспособност след реализацията ѝ.

#### Литература

1. DSM6 SERIES SYSTEMS DATA PREPARATION GUIDE, RACAL-REDAC, 1984.
2. Personal CADAT logic simulator. User's manual. HNB System, 1986.
3. F100K ECL User's handbook. Fairchild, 1982.

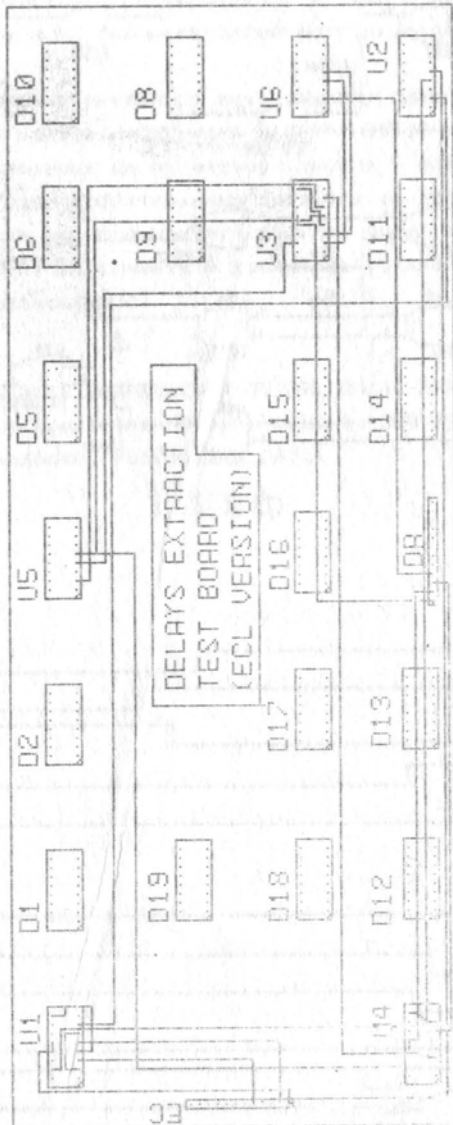


фиг. 1



фиг. 2

DELAYS EXTRACTION - ECL  
EL31.CDO SCREEN PLOT CENTRE X= 704, Y= 599



cpu 2.3