

МИКРОПРОЦЕСОРЕН МОДУЛ ЗА VME МАГИСТРАЛА

Митьо Георгиев Митев – Технически университет – София
Георги Никотеев Василиев – ДФ "Електрон"
Емил Цветанов Маринов – ЦНИЕМ "Балканкар-прогрес"

Ефективността на изчислителните системи в голяма степен зависи от организацията на паметта и взаимодействието и с процесора. Проблемите, отнасящи се до организацията и разпределението на паметта при еднопроцесорни системи са нееднократно разглеждани в специализираната научна литература [1,2,3,4]. Във връзка със секционирането и защитата на паметта в съвременните изчислителни системи се въвеждат устройства за управление на паметта /УУП/. Като пример за такова устройство може да се посочи интегралната схема MS 68451. Фирмата-производител препоръчва [6] тя да се включва непосредствено след микропроцесора. По този начин се прекодира цялото логическо адресно поле във физическо адресно поле. Разработена е и концепция за каскадно включване на няколко УУП към един микропроцесор. Произвеждат се модули за VME-магистрала с използване на УУП, при които са съблюдавани предписанията на фирмата-производител [5,7,8].

При изграждане на многопроцесорни магистрално-модулни системи възникват множество проблеми при организация на паметта. В [4] е разгледан въпросът за въвеждане на "скрита памет" и са разкрити възможните места, където тя може да бъде поставена. Съдвременно, ако всеки процесорен модул съдържа УУП, то ефективен контрол и защита на глобалната системна памет не може да се осъществи. Концепцията за изграждане на магистрално-

модулни системи и в частност на системи, ориентирани към VME-магистрала не прегвижда място и механизъм, позволяващи въвеждането в системата само на едно ЧУП. С цел въвеждане на ефективна защита на отделните подсистеми е удачно включването на локални системни ресурси - памет и входно-изходни схеми в логическото адресно поле на всеки микропроцесорен модул (фиг.1). Така се обособява функционално завършено ядро на микропроцесорна система, способно да функционира самостоятелно. На него се възлагат диагностични функции и по поддръжката на съответната подсистема. По този начин се намалява вероятността за нежелателно влияние на отделните подсистеми.

При реализиране на подобна архитектура характерно е, че по-малко по обем логическо адресно поле се транслира в по-голямо по обем физическо адресно поле. При това възниква ограничение по отношение логическите адреси на изпълнимите програми, намиращи се във физическото адресно поле - те не могат да бъдат генерирани на адреси, еднакви с тези на локалните системни ресурси.

За реализиране на описания начин на свързване на MC 68451 е необходимо да се блокира действието му при работа на микропроцесора с локалната памет и входно-изходни схеми. Това може да се постигне, като не се подава сигнал "адресен строб" към ЧУП в тези случаи.

Изхождайки от посочените съображения е построен процесорен модул за VME-магистрала, чиято структурна схема е показана на фиг.2. В логическото адресно поле са поставени 128К статична оперативна памет и 128К постоянна памет, аритметичен процесор MC 68881, програмируем таймерен модул и асинхронен сериен комуникационен адаптер. Тези ресурси са локални за дадената подсистема и са достъпни само за микропроцесора, намиращ се на тази платка. Достъпът до паметта и аритметичния процесор се извършва без вмъкване цикли на изчакване в работата на микропроцесора. Логическото адресно поле се разделя от дешифратор, който изработва сигнали към съответните схеми или разрешава постъпването на адресен строб към ЧУП, в което се извършва прекодиране на постъпващия логически адрес във физически.

В модула се предвижда използването на колективна памет с

обем 64К. Тя е разположена във физическото адресно поле на магистралата и представлява част от общата памет на системата. Достъпа до нея е възможен както от страна на локалния микропроцесор, така и от страна на който и да е водещ модул от магистралата. Арбитражирането на достъпа до нея се осъществява от магистралния контролер. При подходящо разпределение на данните, наличието на тази памет води до многократно намаляване на товарването на системната магистрала.

Ако издадения физически адрес не е към колективната памет, дешифратора на физическото адресно поле изработва съответен управляващ сигнал към магистралния контролер, който изисква достъп до системната магистрала. Съществува възможност за избор на нивото на изискване на магистралата по желание на потребителя. Освобождаването на магистралата става при постъпване на заявка на което и да е ниво от друг водещ модул, ако работата е приключила, или при постъпване на сигнал от страна на системния контролер. Управлението на адресните и данновите буфери, както и на магистралните адресни и даннови буфери, се осъществява от магистралния контролер.

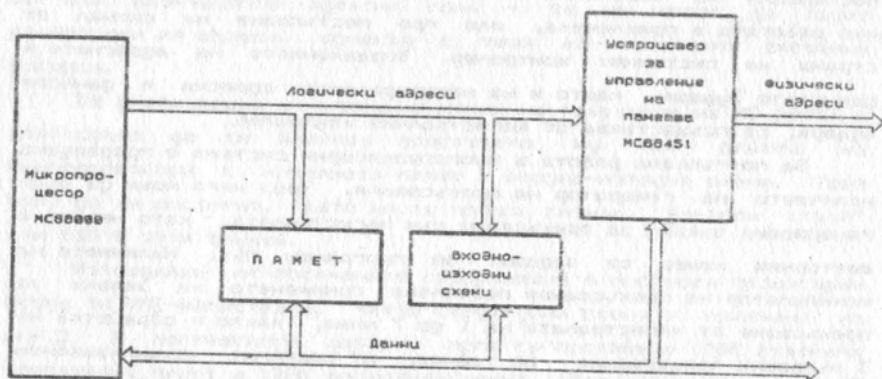
За по-гъвкава работа в многопроцесорни системи е предвидено наличието на генератор на прекъсвания. Чрез него може да бъде генерирана заявка за прекъсване към магистралата, като нивото и векторния номер се задават по програмен път. Наличието на манипулатор на прекъсвания позволява приемането на заявки за прекъсване от магистралата на 1 до 7 нива, както и обработка на 3 вътрешни прекъсвания - по таймер, от серийния комуникационен адаптер и от устройството за управление на паметта. Вътрешните прекъсвания, когато са на едно и също ниво с магистралните, се ползват с по-висок приоритет.

Разработката е проведена във връзка с тема № 1166/88 г. по плана за фундаментални изследвания на комитета за наука.

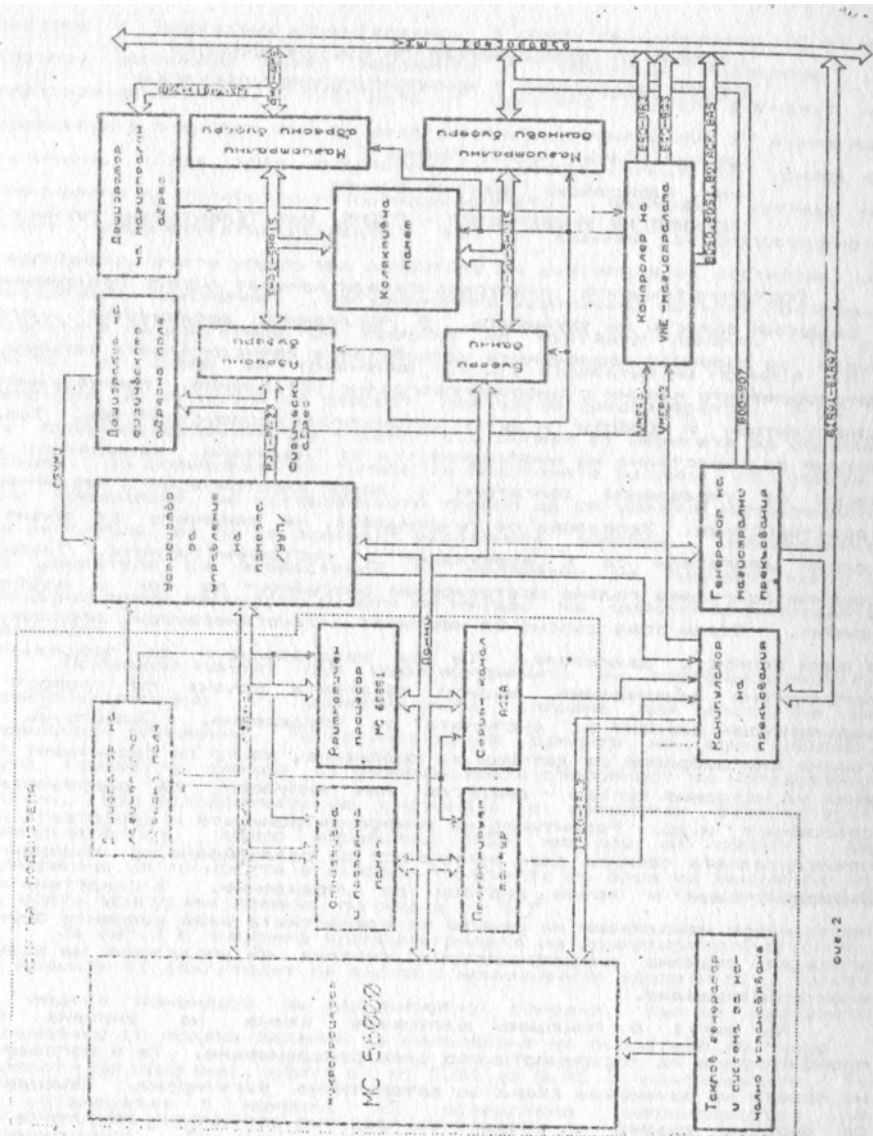
Литература:

1. Майерс Г., Архитектура современных ЭВМ т.1, т.2 - "Мир" Москва 1985г.
2. Морисита И., Аппаратные средства микро ЭВМ - "Мир" Москва 1988г.

3. Мотоока Т. и коллектив, Компьютеры на СБИС т.1 "Мир" - Москва 1988г.
4. Лом А., О. Агравал, Быстродействующие системы памяти "Мир" - Москва 1987г.
5. Force Computers Data Book 1988j. VME-bus Products.
6. Motorola Data Book Products 1984j.
7. Motorola - VME-bus Products Selector Guide - 1988j
8. Philips Data Handbook Book IC18 1986j.



ФИГ. 1.



Схе. 2