

мо емулиране, но както бе казано и по-горе порт В няма товароспособност, както при другите едночипови микрокомпютри от тази фамилия. Известно е, че към порт В може директно да се включват светодиоди, тъй като той може да осигурява ток 10mA. Следователно порт В трябва да се буферира. Сложността идва от факта, че всеки изход на порт В може да бъде вход или изход. Това дали е вход или изход е записано на адрес 0005, но няма сигнали на вън с тази информация. За да се осигури това буфериране се налага използване на регистри, буфери и други интегрални схеми, което е много сложно като схемно решение. В случая се предлага едно решение на "пасивен" буфер - фиг.2.

Такива буфери са предвидени за всеки изход на порт В. Ако изходът е програмиран като вход, то входният ток е минимален (10 A), падът върху резистора R1 ще бъде минимален (R1 е 1 до 2 K) и транзисторите T1 и T2 ще бъдат запушени. При условие, че даден изход от порт В е изход, това стъпало ще работи като буфер. Максималният ток на това стъпало при товар към маса се определя от резистора R2, а при товар към +5V - от резистора R3. В базите на транзисторите T1 и T2 няма ограничителни резистори, тъй като се разчита на изходното съпротивление на порт В.

Емулирането на порт С и D като цифрови входове или изходи е реализирано с 6522 и свързването на управляващите сигнали е следното: CS1 към A1, CS2 към CS22, E1 към DS, R/W към R/W, RESET към RES, RS0 към A0, RS1 към A2, RS2 и RS3 са на маса и магистралата за данни е свързана към магистралата за данни на MC146805E2.

Емулирането на АЦП е реализирано чрез използване на MC68705R3. Това е осъществено посредством схемата CM602 с адресиране на нейните порт А и порт В на адреси 000E и 000F и контролни ре-

зултата от преобразуването. Друга особеност е, че при запис на адрес 000E се подава IRQ към MC68705R3. Това е необходимо, за да се осигури при запис в управляващия регистър да се спира преобразува-

нето на АЦП, да се чете регистърът и да започва ново преобразуване. Предимството на такава емулиране се състои в това, че АЦП е със същата организация и сигнали. Недостатъкът е в известното забавяне — АЦП преобразува за 32 с, но тук е необходимо освен това да се чете и записва в портчето, което води до забавяне от 20 до 30 с.

За MC68705U3, R3 и R5 на адрес 000A има регистър за управление на IRQ2. В този регистър може да се записва и да се чете, като при това се използват само два бита (B6 и B7). На фиг.3 е показана схемата и управляващите сигнали към нея. Чрез нея се подава на вход IRQ на MC146805E2 прекъсване, веднага след като на вход PD6 има преход от 1 към 0. Разпознаването на IRQ2 става от мониторната програма, чрез четене на адрес 000A. Тази схема удвоява броя всички изисквания към този регистър.

На фиг.4 е дадена схемата за осигуряване изпълнението на единични инструкции. Чрез четене на определен адрес се генерира сигнал CSWI, при което се преключва тригер U2B и с това се дава разрешение на брояча съставен от тригерите U2A и U17A да брои. С последването на третия импулс LI се генерира сигнал SWI, който забранява дешифратора и отбавя буферите на 74LS244. При това на регистрала за данни се появява код B3 (SWI) и микропроцесорът прочита този код вместо код от изпълняваната програма. Това става само по време на DS, тъй като LI съпада по време с него.

В началото при разглеждане на дешифратора беше казано, че с KE2 се преключва дешифрицията при емулиране на MC146805E2. На фиг.5 е показана схемата като при запис на адреса на CSWI се преключва тригерът и светва светодиода, индициращ работата в режим на емулиране на MC146805E2.

В заключение може да се каже, че тук са разглеждани по-важните елементи на емулатора и съображенията за тяхното съставяне. На базата на тях е реализиран емулатор осигуряващ емулирането на ципираните по-горе едночипови микрокомпютри.

ЛИТЕРАТУРА:

1. Фергусон Дж. и др., Обслуживание микропроцессорных систем, Мир, 1989г.
2. Михов Г., Емулатор за микропроцессорни системи изградени с инженерирания микропроцесор HD6303, "Ден на радиото" — 1988г.

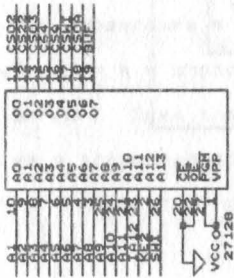


fig. 1

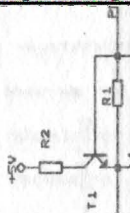


fig. 2

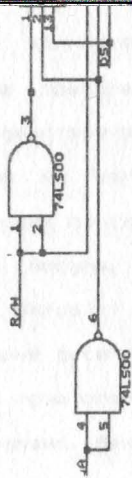
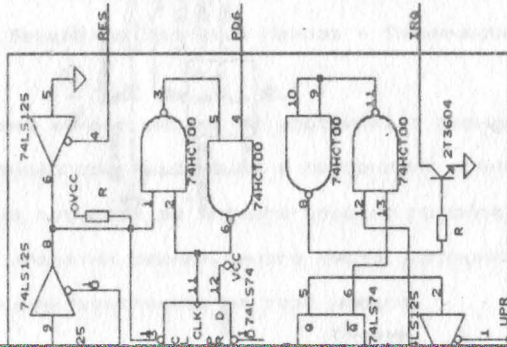


fig.



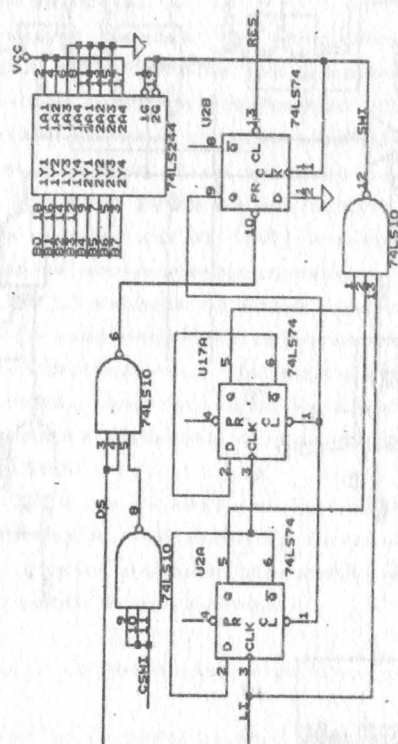


fig. 4

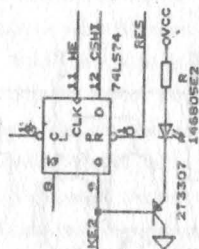


fig. 5